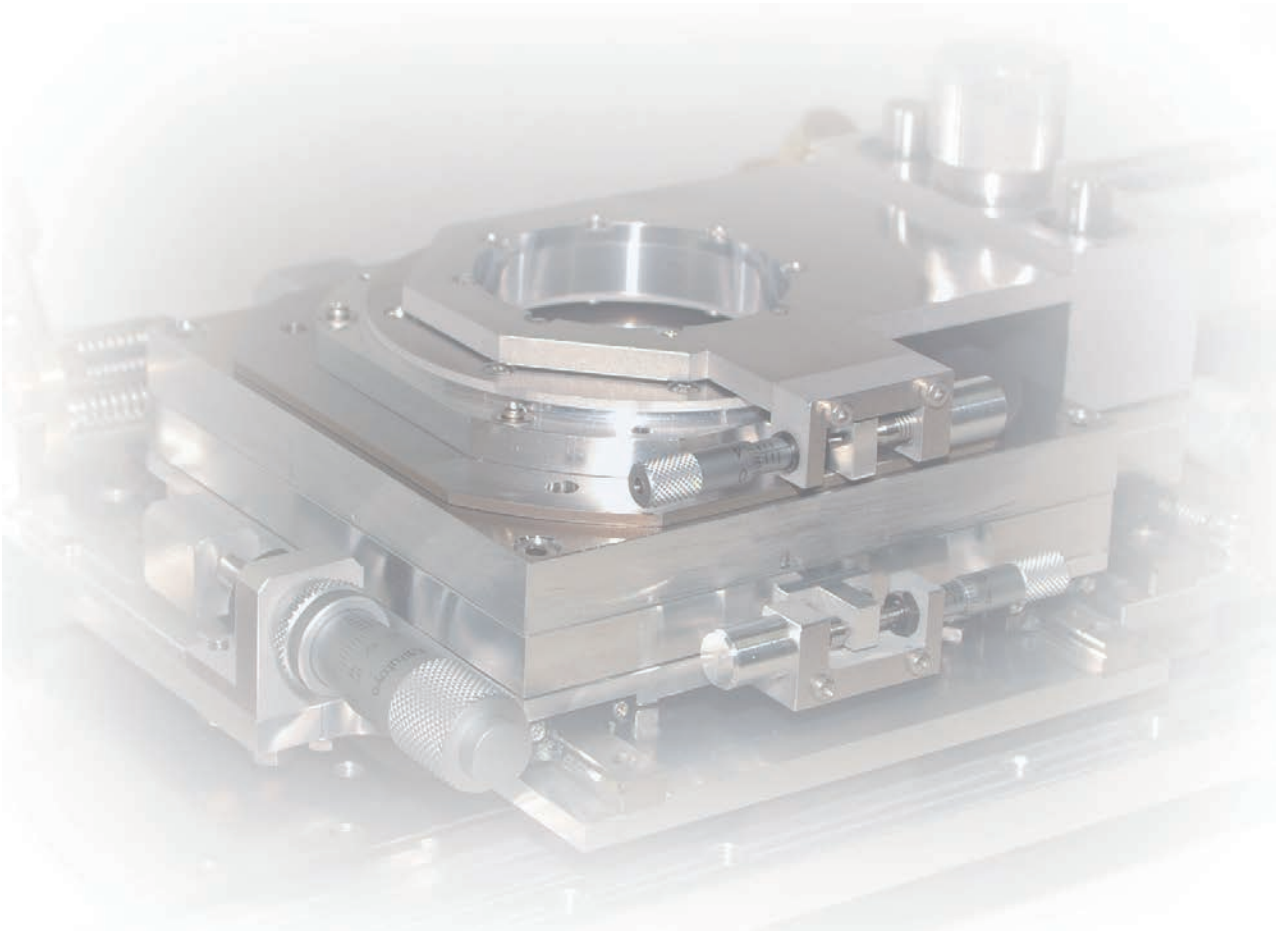
ISSN 1880-0440

装置開発室 *Equipment Development Center*

Annual Report 2010



自然科学研究機構　分子科学研究所
National Institutes of Natural Sciences (NINS)
Institute for Molecular Science

平成 16 年 4 月から今日まで，分子研での最後の 7 年間を装置開発室長として過ごすことができたことを大変幸福に思います。着任のころに、たまたまバイオセンサーの研究を開始し、市販品等無く、毎日のように装置開発室の皆さんと装置作りや議論をし、楽しく研究をすることができました。研究も予想以上に進展し、感謝の気持ちでいっぱいです。

装置開発室の皆さんとの交流を通して、分子研の多くの優秀な技術職員を知ることができましたが、他方、現在の技術職員制度の矛盾にも直面する結果ともなりました。技術職員の任務は、単に研究補助を行なうレベルのものから、高度な専門知識と技術をもって研究者の支援（場合によっては共同研究）をおこなうレベルのものまで有ります。後者の技術職員グループ（以下、とりあえず専門技術職員とよびます）については、企業研究所や多くの公的機関の研究所においては、多くが組織整備によって消滅し、その仕事は外注によってカバーされています。しかし、どのように進めてよいのかも混沌としているが、しかし大きな発明や発見に結びつくかもしれないような研究の場合、外注では対応が難しく、研究者と技術支援者との熱のこもった共同作業によって思いもよらない優れた成果が生まれることがあります。このような研究こそ、これからの日本の大学の研究に期待されるべきものです。

また、この 7 年間の室長業務を通して，技術職員制度の本質が、私が学生として研究をスタートした 43 年前とほとんど変わっていないことに気づき驚いています。働いても働かなくても給与にほとんど差がなく、年をとっているというだけで，働かなくても若い人より高い給料がもらえる。しっかり働かない人を降格することもできないなど、昨今の世の常識ではあり得ない組織と言えます。しかし、日本という国自体が傾きかけた今日、技術職員組織の改革は緊急の課題と考えます。まず、最も重要なことは、少なくとも専門技術職員については優秀な人材の集まる魅力的な組織にする必要が有ります。一生懸命働く人や優れた技能を持っている人が報われる必要があり、なれ合いではない評価により処遇に格差をつけられるようにしなくてはいけません。また、ナノテクに代表される高度な技術支援のためには、技術職員も望む人には研究をできるようにする必要が有ります。単に注文した装置を作るだけなら、外注で事足りてしまいます。高い技術能力を有する人と優秀な研究者との高度な楽しいコラボにより、世界に無い優れた装置が生み出される環境が理想です。それを使って優れた研究成果を生むのは研究者ですが，装置開発自体も工学という高度な学術基盤のもとに開発されていることを忘れてはいけません。研究支援者組織において，高度な技術者が育ち、有能な人材が育つようにすることは，人員コスト削減と同時に進めるべき課題で，大学の独創的な研究開発力を強化し、それによって強力な科学技術立国を築く最も有効な方策ではないかと思います。

室長
宇理須恒雄

目次

構成スタッフ 1
イベント in 2010 2
施設利用 6
施設利用報告 7
研究会発表 8
技術報告 26
2010 年　工作依頼リスト 42
2010 年　製作品 46
トピックス 50
出張報告 58
編集後記 60

（後列左から）浦野宏子、矢野隆行、内山功一、吉田久史、近藤聖彦
豊田朋範、杉戸正治、宮下治美
（前列左から）高田紀子、水谷伸雄、宇理須恒雄、永田正明、髙松宣輝、青山正樹

装置開発室長（併任）			
	宇理須恒雄	URISU, Tsuneo	生体分子情報部門　教授
技術職員			
機械グループ	青山正樹	AOYAMA, Masaki	技術班長
	水谷伸雄	MIZUTANI, Nobuo	係長
	矢野隆行	YANO, Takayuki	主任
	近藤聖彦	KONDO, Takuhiko	主任
	高田紀子	TAKADA, Noriko	
電子回路グループ	吉田久史	YOSHIDA, Hisashi	技術班長
	内山功一	UCHIYAMA, Koichi	主任
	豊田朋範	TOYODA, Tomonori	
ガラス加工グループ	永田正明	NAGATA, Masaaki	係長
技術支援員			
	宮下治美	MIYASHITA, Harumi	
	髙松宣輝	TAKAMATSU, Yoshiteru	
	杉戸正治	SUGITO,Shouji	
事務支援員			
	浦野宏子	URANO, Hiroko	

1月

19日　コミュニティサテライトオフィス（場所：松坂屋岡崎店６階）
「基礎研究の現場から～人類・社会の発展に向けて」
共同開発に関する成果を紹介（青山）

参照：http://community-satellite.com/

20～22日　技術職員受入研修（東北大学：渡辺）

2月

2～4日　神戸大学冨宅研究室、大阪大学笠井研究室　技術打ち合わせ
レーザー学会　聴講（青山、水谷、矢野、近藤、高田）

神戸大学にて

大阪大学にて

16～19日　技術職員受入研修（名古屋大学：福田高宏）

3月

10日～12日　北京大学・清華大学・中国化学院化学研究所・意見交換会
中国出張 (高田）**（記事 58 ページ参照）**

18日～19日　技術研究会（高エネルギー加速器研究機構）
（記事 8 ページ参照）

26日　技術課セミナー
「最先端ナノ加工・ナノエレクトロニクス技術開発と応用」
（場所：岡崎コンファレンスセンター小会議室）
（記事 50 ページ参照）

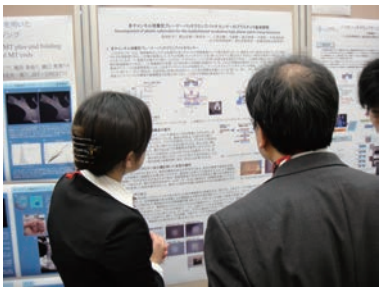
4月

1 日　杉戸正治氏　技術課 機器開発技術班に配属

5月

13 日
～ 14 日　ナノ学会第 8 回大会
ポスター発表 (高田)

(記事 24 ページ参照)



25 日
～ 26 日　機械工作に関する安全講習会
2 日に分けて講習

6月

2 日　電子回路工作に関する講習会

8 日　中学生職場体験
岡崎市立甲山中学校の 2 年生男子 3 名
回路工作の業務を体験

21 日　岡崎高校 SSH 製作協力に関する技術打ち合わせ

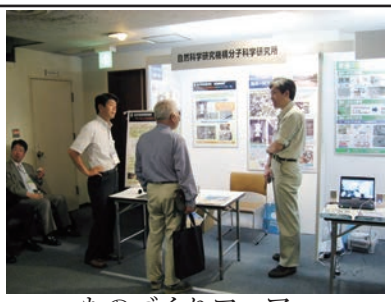
(記事 52 ページ参照)

6月

23日
～24日　自然科学研究機構技術研究会
発表（矢野）

7月

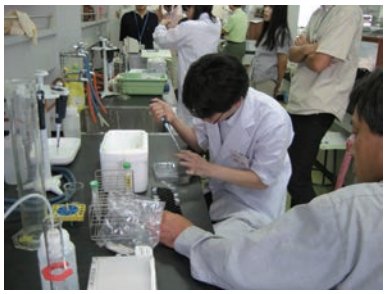
8日
～9日　第２回ものづくり岡崎フェア 2010　**（記事 51 ページ参照）**


ものづくりフェア

12日
～13日　構造解析ソフト ANSYS 講習会 (名古屋：青山、矢野、近藤）

21日　マザック工場見学

26日
～31日　第 30 回集積回路技術講習会 (豊橋技術科学大学：内山）

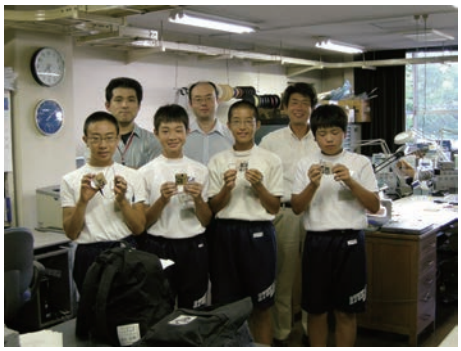


（記事 53 ページ参照）

28日
～30日　平成２２年度東海・北陸地区国立大学法人等技術職員合同研修東海北陸研修 (生物・生命コース)
(三重大学：高田）

8月

4日　中学生職場体験
岡崎市立竜海中学校の２年生男子４名
回路工作の業務を体験



8月

20日
～24日　VDEC CAD 講習会（名古屋大学：豊田）

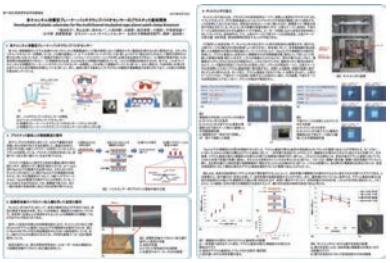
26日　装置開発室運営委員会

9月

8日
～9日　VDEC CAD 講習会（東京大学 VDEC：吉田、豊田）

（記事 59 ページ参照）

14日
～17日　応用物理学会
ポスター発表 (高田)

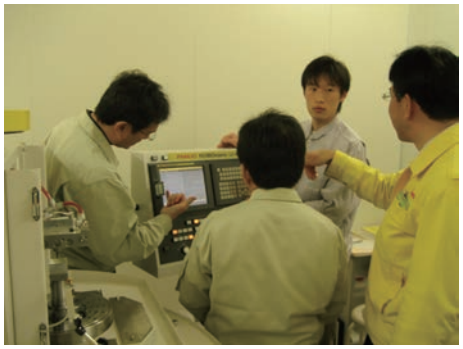


10月

11月

11日　中学生職場体験
豊田市立高岡中学校の２年生男子１名
回路工作の業務を体験

17日
～19日　ファナック社ロボナノ操作講習会（東京工科大学：青山、高田）



26日
～27日　放電加工技術勉強会（国立天文台：青山、近藤）

12月

29日
～　1日　4th International Symposium on Nanomedicine (ISNM2010)
ポスター発表 (高田)

（記事 25 ページ参照）

施設利用

内容の大転換から６年を経過し、「施設利用」の認知度もそれなりに上がっているように感じられる。傾向としては、比較的長期的で開発的要素のあるものがあり、内容は充実している。平成 20 年度から産業技術総合研究所と行っていた施設利用では、様々な装置の製作や改良を加えていく中で、特許申請を行う事項も出てきた。

昨年のこの項目でも挙げたが、継続的に行われていると反省し改善するべき点もあり、今後検討・改善していくべき課題である。

ここで申請課題の一部を紹介する。

東京大学物性研究所吉信淳教授から申請のあった「固体表面反応の in-situ 赤外吸収分光のための方持ち梁型試料ホルダーの製作」は、赤外吸収分光の研究において、試料に一軸の歪みを導入するために、片持ち型試料を利用する。これを赤外吸収分光装置に組み込むためには専用の移動機構を採用して検出系を限られたスペースに配置する必要がある。また、熱的・機械的な安定性を考慮した設計が必要であるため三次元 CAD で設計を行い、依頼者と検討しながら、簡易的なコンピュータシミュレーションと試作機の実験を行って開発を行っている。

早稲田大学の井村考平准教授から申請のあった「走査型トンネル顕微鏡用電流増幅回路の製作」は、数 pA ～ 0.1nA 程度のトンネル電流を高感度かつ低ノイズで測定するための電流電圧変換回路である。この回路の実現には、超低入力バイアス電流のオペアンプを始めとする回路部品の選定とそれらの実装方法に特に注意を払って製作を行った。

以下に申請課題の一覧を表にまとめた。

施設利用申請課題一覧

申込者名	所　　属	研究課題（備考）
長山好夫	核融合科学研究所　ヘリカル研究部	マイクロ波イメージング
吉信　淳	東京大学 物性研究所	固体表面反応の in-situ 赤外吸収分光のための方持ち梁型試料ホルダーの製作
銘苅春隆	産業技術総合研究所	FIB 加工用自動回転機能付サンプルホルダーの改良
柿本雅明	東京工業大学大学院　理工学研究科	ステンレス外装テフロン内装高温反応装置一式の製作
井村考平	早稲田大学　理工学術院	走査型トンネル顕微鏡用電流増幅回路の製作

電子線コンプトン散乱の時間分解反応顕微鏡のための多重同時計測回路の開発

東北大多元研　山﨑優一、髙橋正彦

本研究の目的は、全ての化学反応を先導する形で起こる物質内電子の運動の変化、すなわち過渡系電子波動関数が時間発展する様をスナップショット的に観察する手法となる時間分解電子運動量分光法（TREMS）を開発することである。TREMS は、超短パルス電子ビームを用いた過渡化学種のコンプトン散乱により生成する、2 つの電子と解離イオンの間のベクトル相関を測定する実験手法である。TREMS の開発には種々の新規設備要素が必要となるが、今回、市販品では見あたらない、TREMS に特化した同時計測用エレクトロニクスを構築するために、分子研装置開発室と協力して多重同時計測回路の開発を行った。

本回路（Fig.1）は、TREMS において電子およびイオンを検出するための、2 つの位置敏感型検出器（PSD）からの出力信号を ECL レベルで処理する。それぞれの PSD は荷電粒子 1 個の検出に対して 7 つの信号（マイクロチャンネルプレートからのタイミング信号 1 つと 3 つのディレイラインアノードの両端からの信号が 6 つ）を出力する。本回路の機能は主に 2 つの部分に分けられる。1 つは 2 電子の同時計測信号を効率よく捕集するための論理積ゲート部であり、もう 1 つはその 2 電子と同時計測されたイオンの信号を選別する部分である。最終的に 2 電子とイオンがある時間内に同時検出されたときに、20 個の ECL 論理信号（それぞれの PSD からのタイミング信号が 2 つ、3 つの荷電粒子に対するディレイライン信号が 18 個）が回路により生成される。回路からの出力信号の時間情報を、時間分解能 0.5 ps の多チャンネル時間差デジタル変換器（TDC）により測定することで、2 電子と解離イオンの間のベクトル相関を調べることができる。回路の機能のうち、2 つの電子の同時計測信号を処理する部分の動作は、従来の EMS 装置を用いて、初期の性能を満足することを確認した。その結果、Fig.2 に示す Ne の運動量-エネルギー密度マップを極めて効率的に取り込むことが可能となっている。なお、回路の詳細を含めた研究成果は、現在、Review of Scientific Instruments 誌に論文として投稿中である。

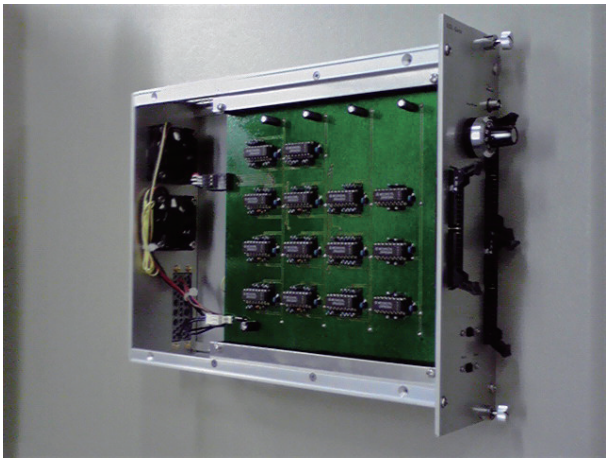


Fig. 1 製作した多重同時計測回路

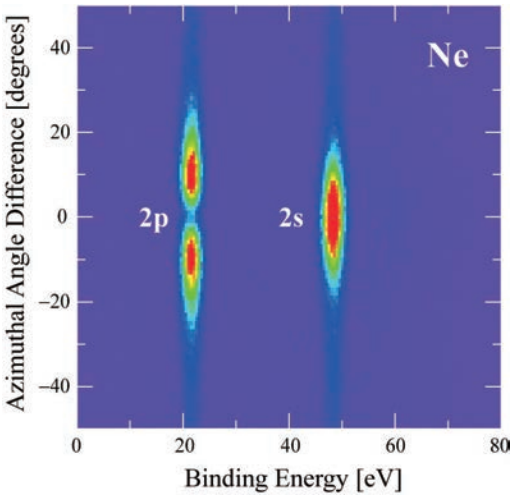


Fig.2 入射電子エネルギー1182 eV での Ne の EMS データの 2 次元プロット

研究会発表

研究会、会議名	タイトル	発表者
平成 21 年度 高エネルギー加速器研究機構 技術研究会 2010 年 3 月 18 日～ 19 日	ホットエンボス加工を用いた バイオセンサー用アクリル基板の製作 （口頭発表） パルス波高値計測回路の製作 （口頭発表） パルス波高値計測回路の製作 （口頭発表）	○高田紀子 青山正樹 鈴井光一 ○吉田久史 豊田朋範 ○豊田朋範 吉田久史
ナノ学会第 8 回大会 2010 年 5 月 13 日～ 15 日	多チャンネル培養型プレーナーパッチクランプ バイオセンサーのプラスチック基板開発 （ポスター発表）	○高田紀子 青山正樹 鈴井光一 八須洋輔 大森整 銘苅春隆 中尾聡 宇理須恒雄
第 5 回自然科学研究機構 技術研究会 2010 年 6 月 23 日～ 24 日	装置開発室における施設利用について	○矢野隆行
第 71 回 応用物理学会学術講演会 2010 年 9 月 14 日～ 17 日	多チャンネル培養型プレーナーパッチクランプ バイオセンサーのプラスチック基板開発 （ポスター発表）	○高田紀子 青山正樹 鈴井光一 八須洋輔 大森整 銘苅春隆 中尾聡 宇理須恒雄
先端ナノバイオフォーラム 2010 2010 年 11 月 15 日	多チャンネル神経細胞ネットワーク素子の開発 （ポスター発表）	○高田紀子 水谷伸雄 青山正樹 鈴井光一 内海裕一 宇理須恒雄
4th International Symposium on Nanomedicine 2010年11月29日～12月1日	多チャンネル神経細胞ネットワーク素子の開発 （ポスター発表）	○高田紀子 水谷伸雄 青山正樹 鈴井光一 宇理須恒雄

ホットエンボス加工を用いたバイオセンサー用アクリル基板の製作

○高田紀子、青山正樹、鈴井光一

分子科学研究所　技術課

1　背景・目的

分子科学研究所 宇理須教授のグループからの依頼で、装置開発室では以前からイオンチャンネルバイオセンサーの開発を行っている。イオンチャンネルバイオセンサーは、神経細胞のシグナル伝達やイオンチャンネル等膜貫通タンパク質の研究において、細胞のイオン電流を計測するために使用される装置で、すでに確立されている手法もあるが、装置が大掛かりな上に 1 実験あたり 1 データしか取得できない点が問題とされている[1][2]。これらの問題点を解決するため、これまでに図 1 a)のような 1 点型の装置を開発し、現在これを用いて実験を行っている。さらに 16 点同時に計測できる多点型のイオンチャンネルバイオセンサーの開発を目標としている(図 1 b)。

イオンチャンネルバイオセンサー用基板の製作方法を図 2 に示す。16 点型のイオンチャンネルバイオセンサーを製作するにあたって、コストの低減や量産という点を考慮し、加工材料や加工方法を見直しながら行っている。例えば加工材料は、SOI(Silicon On Insulator)基板を用いていたところを、価格が安く、LIGA プロセスを利用した穴あけ加工が可能である点から、アクリル樹脂で検討している。また、加工方法については、これまで研磨加工とウェットエッチングで行っていた部分をホットエンボスに、FIB による穴あけ加工は LIGA プロセスを利用して行うことを検討している。これらの加工方法の利点には、高精度である点と 1 回の処理で複数個同時に加工できる点が挙げられる。その中で今回は、ホットエンボス加工について報告する。

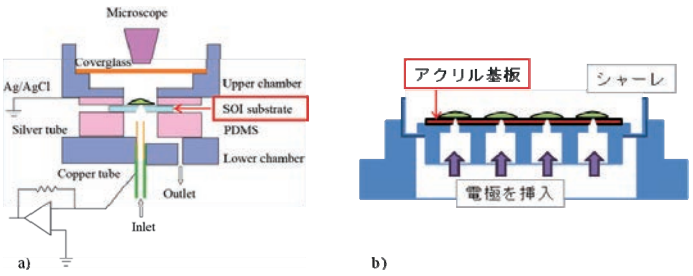


図 1.　イオンチャンネルバイオセンサーの構造
a)現在イオン電流の計測に使用している 1 点型のバイオセンサー
b)現在開発中の多点型のバイオセンサー(一部)

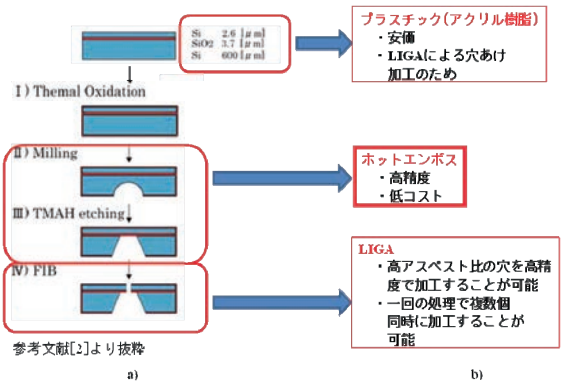


図 2.　イオンチャンネルバイオサンサー用基板の製作方法
a)現在使用している 1 点型バイオセンサー用基板の製作方法
b)現在開発中の多点型バイオセンサー用基板の製作方法（計画）

2　ホットエンボス加工

今回ホットエンボス加工で製作したい基板の構造を図 3 a)に示す。大きさが約 50mm×50mm、厚さが 0.2～1mm のアクリル基板に対して、10μm 以下の薄膜部分を残すことを現在のところ目標としている。

また、ホットエンボス加工のイメージ図を図 3 b)に示す。製作したいアクリル基板の構造に対して凸型の構造をもつ金属製のモールドと、アクリル基板とをそれぞれ真空チャックに固定し、モールドを加熱しなが

らアクリル基板に対して押しつける手法である。そうすることで、ガラス転移温度以上になったアクリル基板がモールドの型に沿って変形する。形状に影響するパラメーターとしては、加熱温度、押し付け量(Z 軸座標、荷重)、押し付け時間、アクリル基板の厚さ、モールドの突起の形状等が考えられる。

今回使用したアクリル基板の仕様を表 1 に、モールドの形状を図 4 に示す。

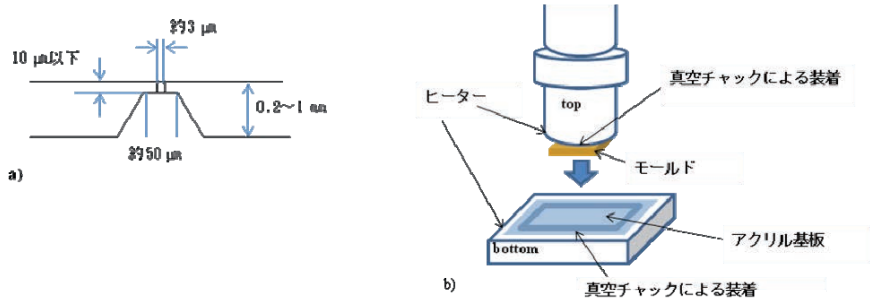
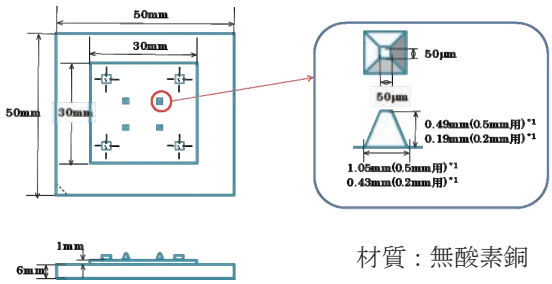


図 3.　ホットエンボス加工
a)ホットエンボス加工を用いて製作したいアクリル基板の構造
b)ホットエンボス加工のイメージ図

表 1.　アクリル基板の仕様

品名		クラレックス精密板　Sタイプ
サイズ		・70mm × 70mm × 厚さ0.5mm*1 ・70mm × 70mm × 厚さ0.2mm*1
熱的性質	熱変形温度	110℃
	熱膨張係数	7 × 10^{-5} cm/cm/℃
	加熱成形温度	140～180℃

*1　厚さ 0.5mm と 0.2mm の 2 種類を使用した。



材質：無酸素銅

図 4.　モールドの形状
*1　0.5mm と 0.2mm の 2 種類の厚さのアクリル基板に対して、それぞれ異なる形状の突起をもつモールドを使用した。

3　実験結果

3-1　ホットエンボスの結果（アクリル基板の厚さ 0.5mm とモールド 0.5mm 用を使用した場合）

厚さ 0.5mm のアクリル基板と 0.5mm 用のモールドを使用した時の結果を表 2 にまとめた。温度は 180℃、押し付け速度は 10μm/s に固定し、目標残膜の厚さを 50μm と 10μm、押し付け時間を 1 分と 2 分とで条件を変えて行った。その結果、ホットエンボス後の残膜の厚さは、Z 軸座標で調整した目標残膜の厚さとは異なる値を示した。また、アクリル基板の厚さが薄くなるほど残膜の厚さが薄く、また、荷重が小さくなる傾向が得られた（図 5）。

表 2.　ホットエンボスの条件と結果
（アクリル基板の厚さ 0.5mm とモールド 0.5mm 用を使用した場合）

A No.	B アクリル基板の厚さ *1	C ホットエンボスの条件				D 荷重 *3	E ホットエンボス後の残膜の厚さ *4
		C-1 目標残膜の厚さ *2	C-2 温度	C-3 押し付け時間	C-4 押し付け速度		
1	548μm	50μm	180℃	1分	10μm/s	5300N	80.1μm
2	496μm	50μm	180℃	1分	10μm/s	3500N	46.6μm
3	532μm	50μm	180℃	1分	10μm/s	5400N	71.6μm
4	487μm	10μm	180℃	1分	10μm/s	4000N	40.2μm
5	495μm	10μm	180℃	2分	10μm/s	4700N	46.2μm

*1　アクリル基板の 4 隅をマイクロメーターで計測した値の平均値
*2　Z 軸の座標で調整
*3　アクリル基板にモールドを押し付けている時の最高荷重の測定値
*4　光学顕微鏡の焦点距離の差により計測した値（各穴について n=1。示している値は、4 穴/1 基板の平均値）

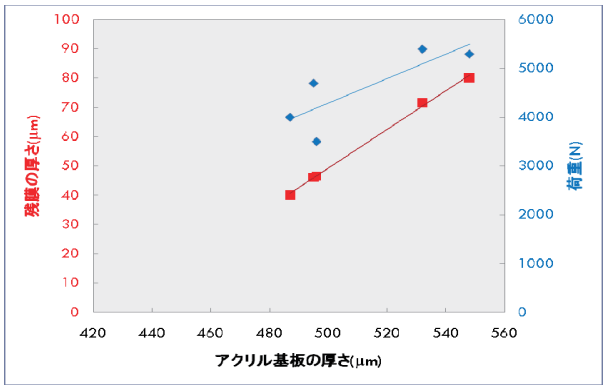


図 5.　残膜の厚さと荷重に対する、アクリル基板の厚さの影響
アクリル基板の厚さ 0.5mm とモールド 0.5mm 用を使用した場合

3-2　ホットエンボスの結果（アクリル基板の厚さ 0.2mm とモールド 0.2mm 用を使用した場合）

厚さ 0.2mm のアクリル基板と 0.2mm 用のモールドを使用した時の結果を表 3 にまとめた。温度、押し付け時間、押し付け速度を固定し、目標残膜の厚さを 50μm と 10μm とで検討を行った。それに加えて、使用したホットエンボス加工装置の最大荷重である 5000N で行うことで、最大でどこまで薄くすることができるか試みた。その結果、残膜の厚さは 16.5μm という結果が得られ、目標の 10μm は達成できなかったが、それに近い数値がホットエンボス加工により得られた。

表 3.　ホットエンボスの条件と結果
（アクリル基板の厚さ 0.2mm とモールド 0.2mm 用を使用した場合）

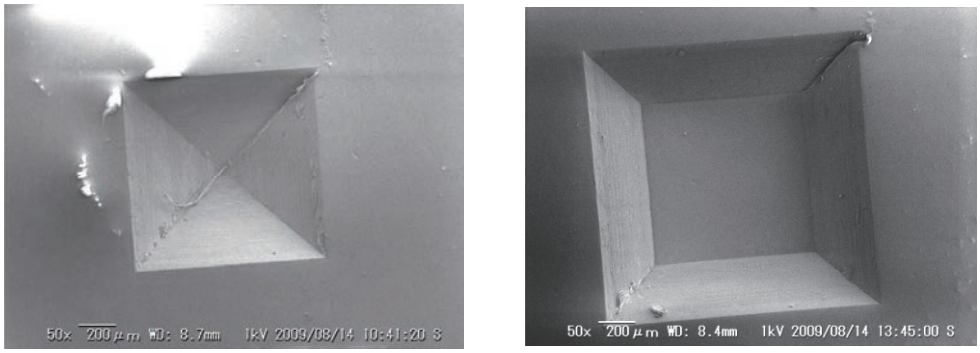
A No.	B アクリル基板の厚さ *1	C ホットエンボスの条件				D 荷重 *3	E ホットエンボス後の残膜の厚さ *4
		C-1 目標残膜の厚さ *2	C-2 温度	C-3 押し付け時間	C-4 押し付け速度		
1	210μm	50μm	180℃	1分	10μm/s	600N	57.7μm
2	209μm	10μm	180℃	1分	10μm/s	1100N	41.3μm
3	208μm	荷重制御	180℃	1分	10μm/s	5000N	16.5μm

使用したホットエンボス加工装置の最大の荷重

*1　アクリル基板の 4 隅をマイクロメーターで計測した値の平均値
*2　Z 軸の座標で調整
*3　アクリル基板にモールドを押し付けている時の最高荷重の測定値
*4　光学顕微鏡の焦点距離の差により計測した値（各穴について n=1。示している値は、4 穴/1 基板の平均値）

3-3　アクリル基板の SEM 観察

ホットエンボス後のアクリル基板の突起部分とアライメントマーク部分を SEM で観察した。その画像を図 6 に示す。モールドの切削の跡やバリがそのまま転写されていることから、ホットエンボスによる微細構造の製作には、モールドの精密な加工が不可欠であることが分かる。



a)　　b)

図 6.　ホットエンボス後のアクリル基板の SEM 画像
a)突起部部分の SEM 画像
b)アライメントマーク部分の SEM 画像

4　加熱温度の検討

3-2 の実験結果より、ホットエンボスにより、10μm 付近の残膜厚さはおそらく製作が可能と思われるが、加熱処理による歪みが目立つ。ホットエンボス後、アクリル基板は他の部品と接着する工程があるため、歪みはないことが望ましい。そこで、加熱温度を低くすることでアクリル基板の歪みを抑えることができるのではないかと考えた。その際、荷重がホットエンボス装置の最大荷重である 5000N よりも高くなることが予想される。そのため、最大荷重が 5000kg(=約 50000N)と大きく、装置の構造や材質の面で強度の高い引張圧縮試験機（名古屋大学所有）を用いて同様のエンボス加工を行い、加熱温度の違いによる、変位量、荷重、アクリル基板の歪みに対する影響を調べた。

使用した装置の写真を図 7 に示す。ホットエンボスの時と同様、モールドをヒーターにより加熱後、アクリル基板に対して押し付けた。その際の、下側ステージの Z 軸方向の変位量、荷重、モールドの温度、アクリル基板の温度の経時変化をデータロガーで収集した。モールドの温度は、100℃、120℃、150℃と変えて実験を行うことで、変位量と荷重がどのように変化するかを検討した。その結果のグラフを図 8 に示す。

図 8 より、変位量が増加するにつれて、荷重が指数関数的に増加することが分かる。また、モールドの加熱温度の違いによる影響としては、温度が高くなるにつれて荷重が減少する傾向が見られた。ただ、アクリル基板の歪みについては、目視ではあるが、低温の方が少ないことが分かった。

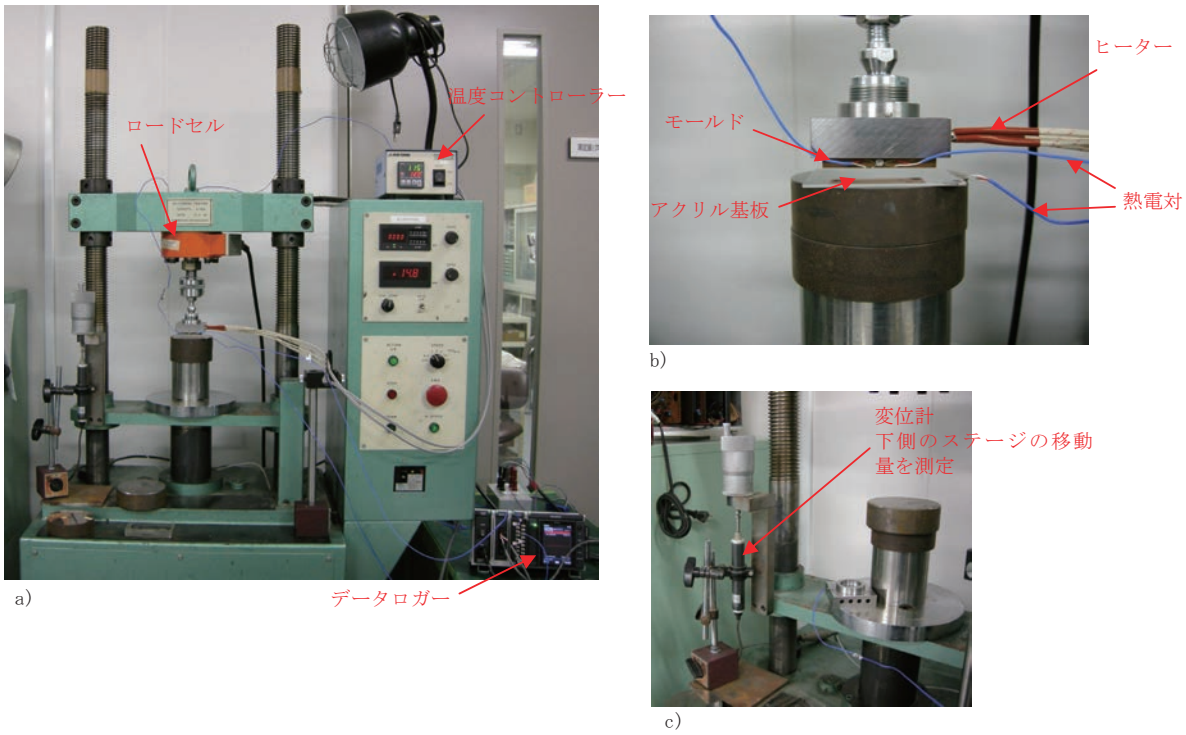


図 7.　引張圧縮試験機によるエンボス加工の様子
a) 全体
b) モールドとアクリル基板
c) 変位計

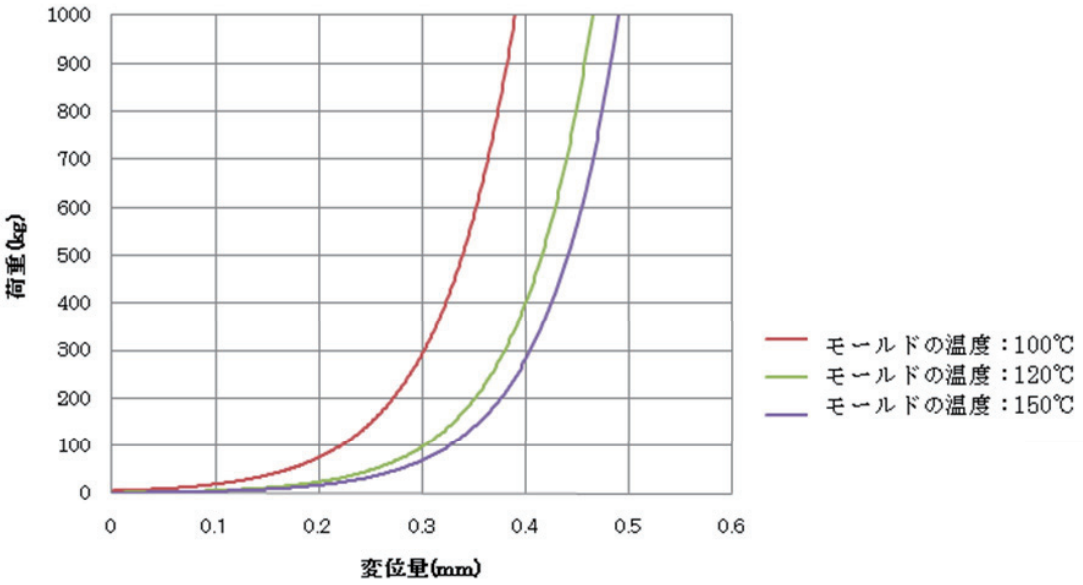


図 8.　モールドの加熱温度の違いによる、変位量と荷重に対する影響
アクリル基板は厚さ 1mm のものを使用している。

5　まとめ

ホットエンボス加工により、アクリル基板に対して厚さ 10μm の薄膜部分を製作することは可能と思われる。さらに、加熱による歪みを低減させるには、成形が可能な温度範囲の中でも低い温度で成形すること、またモールドだけでなく基板自体も加熱することで温度ムラを減らすことが効果的であると思われる。ただし、低い温度での成形はその分荷重の増加を伴い、高荷重時のホットエンボス装置自体の変形によって誤差を大きくする可能性がある。

また、ここで行うエンボス加工は、薄膜の製作が目的であるという点で通常のナノインプリントとは異なり、薄膜部分においては、モールド側だけでなく、ステージ側にも熱や高い圧力が伝わることで、ステージの凹凸や傷がそのまま転写されてしまう。そのため、ステージも鏡面加工のものを用いるなどの工夫が必要と考えられる。

6　謝辞

ホットエンボス加工を行うにあたって、(独) 産業技術総合研究所　先進製造プロセス研究部門　インプリント製造技術研究グループの銘苅春隆博士にご協力を頂きました。また、引張圧縮試験機による試験は、名古屋大学　全学技術センター　教育・研究技術支援室　装置開発系技術課第一技術班　第一装置開発グループのご協力を頂きました。紙面を借りてお礼申し上げます。

参考文献

[1]　Tsuneo Urisu etc. : Anal Bioanal Chem 391, pp.2703-2709, 2008
[2]　浅野豪文ら：表面科学 Vol.28, No.7, pp.385-390, 2007

パルス波高値計測回路の製作

○吉田久史、豊田朋範
自然科学研究機構 分子科学研究所 装置開発室

概要

極端紫外光実験施設(UVSOR)の自由電子レーザー(FEL)実験において、透過型光強度モニターからのパルス信号の波高値を計測するための電子回路が必要となった。この情報は最終的に電子分光装置で使用するTDC(Time to Digital Converter)により時間情報としてパソコンに取り込みたいという要望が有り、製作する計測回路には波高値の計測と同時にその値に比例した時間間隔の二つのパルスを出力する機能が必要となった。我々は、40Msps の 12bitAD 変換器と Xilinx の CPLD を使用し、それらの機能を順次実行する計測回路を製作した。

1　はじめに

計測するパルス信号は、振幅:約 500mV，パルス幅:数μS，繰り返し周波数:20Hz 程度のものである。一般的に、信号の波高値はピーク・ホールド回路によりアナログ量として検出した後、AD 変換器でディジタル値に変換する方法が取られる。近年では高速・高分解能の AD 変換器が比較的安価に入手できるようになったことから、我々はパルス信号を AD 変換器で高速にサンプリングしディジタル処理で波高値を検出する方法を取った。波高値の検出のためのデータ処理は、マイコンを使用すれば簡単であるが処理に時間がかかってしまう。12 ビット幅のデータをサンプリング周期 25nS 間にリアルタイムで処理するために、伝搬遅延が

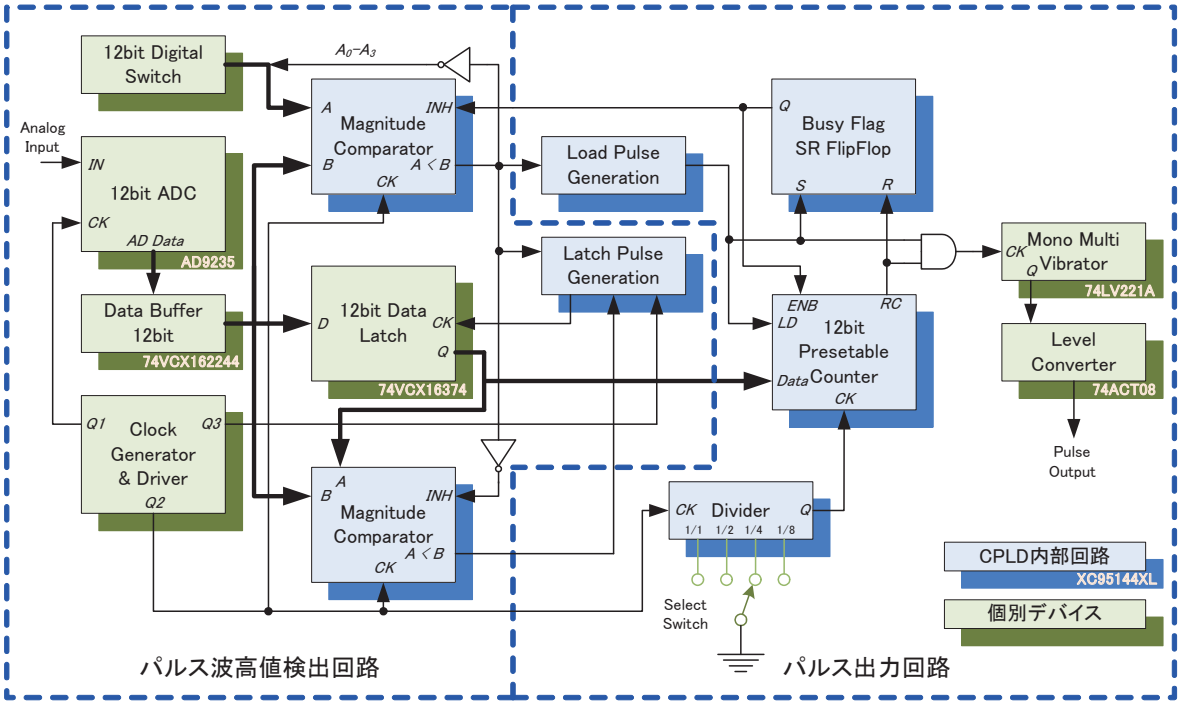


図 1.　パルス波高値計測回路のブロック図

できるだけ少ない低電圧ロジックの TTL と CPLD を使用し、ハードウェア的にパルス波高値を検出するための回路設計を行った。

2　計測回路の構成

本装置の回路構成を図 1 に、タイミング・チャートを図 2 に示す。図 1 中の緑色の機能ブロックは個別のデバイスを示し、また青色の機能ブロックは CPLD 内部に構成したものを表している。計測回路は前段のパルス波高値の検出回路と後段のパルス出力回路の二つの機能ブロックに分けることができる。この二つの機能ブロックはその動作と停止を相補的に繰り返すように設計した。従って、波高値の検出後のパルス出力期間が計測器のデッド・タイムとなる。当然であるが、このデッド・タイムは波高値に比例して変動することになる。次に、それぞれの機能ブロックについて説明する。

2.1　パルス波高値検出回路

パルス波高値検出回路は、12bit の AD 変換器(AD9235[1])、2 個の 12bit のマグニチュード・コンパレータ（以下コンパレータ）、そして 12bit のデータ・ラッチ(74VCX16374)で構成される。AD 変換器は、40MHz のシステム・クロックで逐次変換動作を実行する。システム・クロックの立ち上がりでサンプリングが行われ、ディジタル変換されたデータは 7 クロック・サイクル分のディレイ後にデータ・バスに出力される。データ・バスには、CPLD 内の二つのクロック同期型コンパレータと波高値を保存するためのデータ・ラッチが接続されている。ブロック図の上段のコンパレータは、データ・バスのデータ(B)とスイッチで設定するしきい値(A)の比較を行い、パルス信号の立ち上がりと立ち下がりを検知する役目を持つ。コンパレータの出力(A<B)は、タイミング図で示すように N～N+5 サンプリングのデータが出力されている期間”1”となる。この出力信号は下段のコンパレータの比較動作を機能させるための INH 信号、データ・ラッチのためのクロック信号、

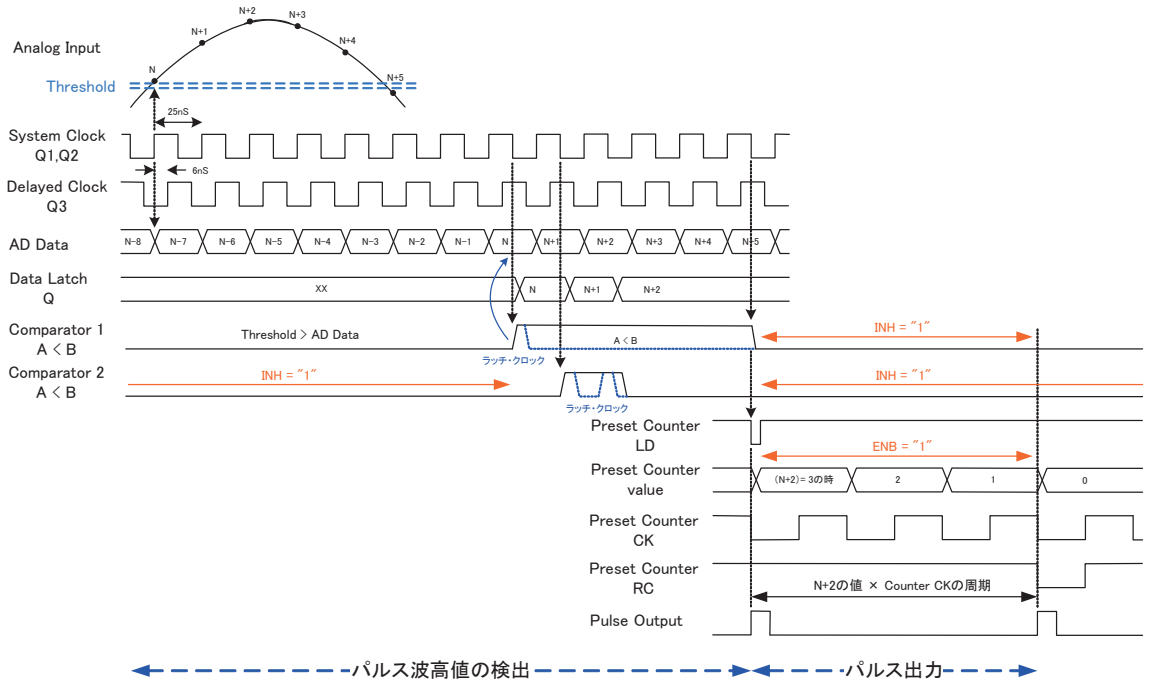


図 2.　パルス波高値計測回路のタイミング・チャート

そしてプリセッタブル・ダウンカウンタのロード信号(LD)を生成するのに用いられる。さらに、この出力信号をしきい値の下位 1～4bit にフィードバックさせることも可能にした。このとき、パルス信号の入力前は下位ビットが全て”1”に、またパルス期間中は”0”となってコンパレータがヒステリシス特性を持つことになる。これにより、入力信号に重畳するノイズの影響を軽減することができる。

下段のコンパレータは、データ・ラッチのデータ(A)とデータ・バスのデータ(B)を比較することでパルス信号の波高値を検出するのに用いられる。タイミング図で示すように、この比較動作は 1 クロック後のデータ・バス上のデータから開始される。このコンパレータの出力信号(A<B)は、波高値を保存するデータ・ラッチのラッチ・クロックを生成するのに用いられる。その際、システム・クロックから約 6nS 遅延したクロック(Delayed Clock Q3)が必要となった。

2.2　パルス出力回路

パルス出力回路は、12bit のプリセッタブル・ダウンカウンタ、クロック分周器、SR フリップ・フロップ、モノマルチ(74LV221A)で構成される。前述したように、上段のコンパレータ出力の立ち下がりで生成される LD 信号は、カウンタにパルス波高値をセットすると同時にモノマルチのトリガー信号となって TDC への一つ目のパルスを発生する。さらに、LD 信号により RS フリップ・フロップがセットされ、これがコンパレータの機能を停止する信号(INH=”1”)となる。TDC への二つ目のパルスは、ダウンカウンタのリップル・キャリー(RC)で生成される。タイミング・チャートで示すように、TDC の入力となる二つのパルスのインターバルは、パルス波高値×ダウンカウンタのクロック周期となる。

3　計測回路のハードウェア

パルス波高値計測回路の回路基板は、アナログ信号の入力部である AD 変換ボードとディジタルの信号処理のための基板の 2 枚に分けて製作した。また、CPLD はザイリンクスの XC95144XL-10TQ144[2]を搭載したカメレオン USB[3]基板（オプティマイズ）を使用した。AD 変換ボードおよびカメレオン USB は、ディジタル処理ボード上のコネクタを介して接続する。そして、計測回路全体を NIM1 巾のブランク・モジュールに実装した。

3.1　AD 変換ボード

図 3 はプリント基板加工機で製作した AD 変換ボードである。アナログデバイスの AD9235 は、リファレンスやサンプル/ホールドを内蔵する単電源+3～+3.3V 動作の AD 変換器である。これを差動入力のドライバ(AD8138)で駆動し、$1V_{P\text{-}P}$ の入力信号に対して 12bit のオフセット・バイナリ・コードを出力する回路を製作した。プリント基板上には、AD 変換器の他、+3.3V の電圧レギュレータ(TPS79933)、データのバス・バッファ(74VCX162244)等も搭載されている。

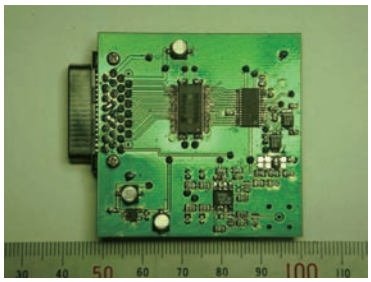


図 3.　AD 変換ボード

3.2　ディジタル処理ボード

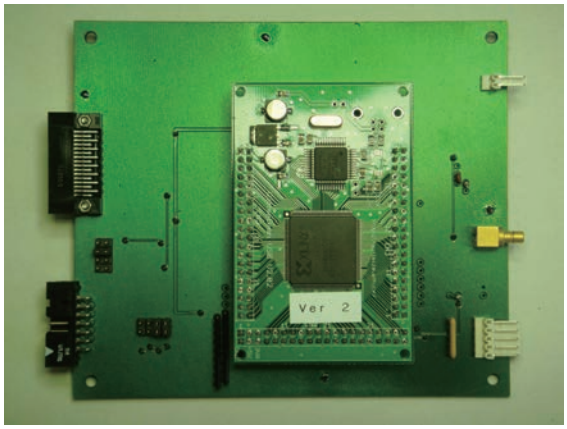
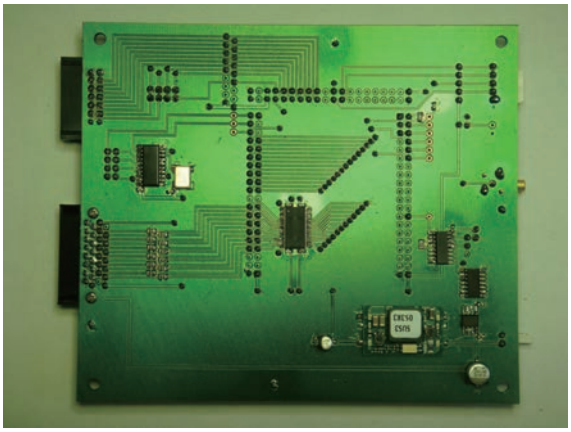


図 4.　ディジタル処理基板 (A) 部品面



(B) 半田面

行っている。一方で、CPLD のプログラミングと個々の機能の動作試験は、カメレオン USB 基板単独で行った。ディジタル処理基板の半田面には、CPLD 以外の集積回路とディジタル系の 3.3V および 5V の電源回路が搭載されている。

4　動作試験

CPLD で製作したロジック機能をカメレオン USB 基板単独で試験した後、計測回路全体で動作試験を行った。まず始めにパルス波高値検出部分の動作試験を行うために、AD 変換器にファクション・ジェネレータで作成した疑似パルス(台形波)を入力し、ロジック・アナライザで各部の動作を観測した。図 5 に動作試験の様子を、図 6 にロジック・アナライザの観測波形の一部を示す。観測波形はパルス信号を検知するコンパレータの出力信号でトリガーをかけ、その前後のシステム・クロック(SClock)、ディレイ・クロック(DelayClock)、AD 変換データ(ADdata)、ラッチ・データ(LTdata)、コンパレータ出力(CP1,CP2)、ラッチ・クロック(LATCH)を表示している。トリガー位置で最初のデータ・バス上のデータがラッチされた後、入力パルスの立ち上がりに従いラッチ・データが次々と更新されて行く様子が分かる。コンパレータの比較判定のタイミング(SClock の立ち下がり)とその出力間に約 5nS、さらにラッチ・クロックが出力されるまでに約 5nS の伝搬遅延が観測できる。しかしながら、データ・バスのデータ(ADdata)はその期間安定しているのでラッチ動作には問題がないことが分かる。

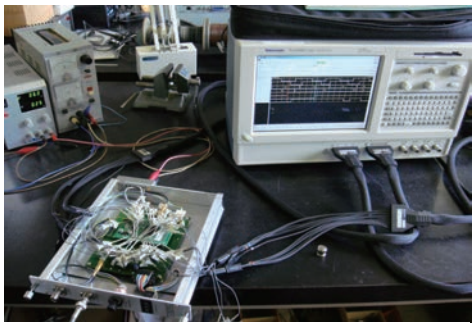


図 5.　動作試験の様子

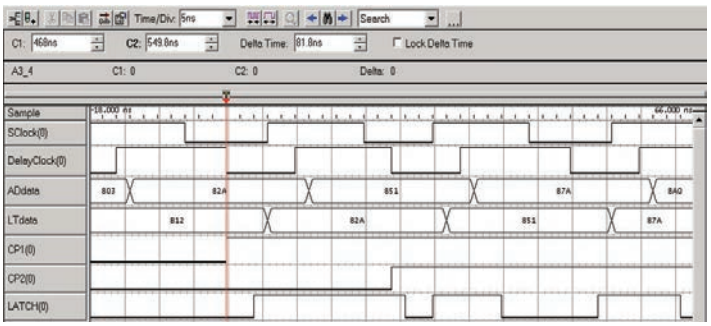


図 6.　ロジック・アナライザ観測波形

最後に、パルス出力回路の動作を確認するためにオシロスコープで各部の波形観測を行った。図 7 は入力パルス信号とコンパレータ出力(CP1)、そして SR フリップ・フロップの出力信号(Busy Flag)を観測したものである。入力パルスがしきい値を超えている間コンパレータの出力がハイ・レベルとなり、その出力の立

ち下がりからダウンカウンタがカウントを終えるまで Busy Flag がハイ・レベルを出力する様子が分かる。この時、波高値を格納するデータ・ラッチのデータを調べ、パルス・インターバルの計算結果と観測された Busy Flag のパルス幅を比較することでパルス出力回路の動作検証を行った。

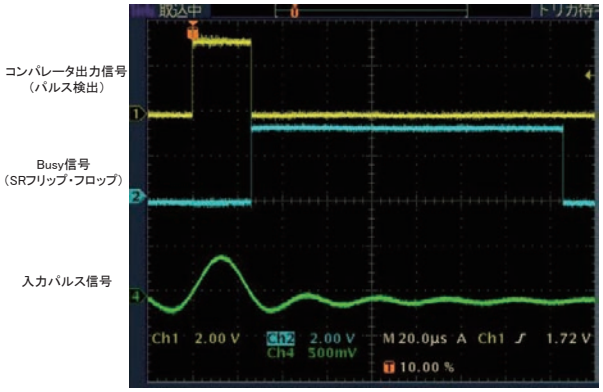


図 7.　オシロスコープ観測波形

5　おわりに

パルス波高値計測回路を開発する初期の段階では、CPLD 内部のコンパレータを非同期式の回路で構成していた。このことで、データ・バスのタイミングのずれやノイズの影響で誤動作を起こす極めて不安定な回路になった。コンパレータをクロック同期式に設計変更することで、計測回路は飛躍的に安定した。計測器の開発段階ではこれ以外にも些細なトラブルが幾つか発生し、その度に回路の設計変更を余儀なくされた。その際、CPLD を採用したことで回路基板の修正が全く無い、あるいは僅かな変更だけで済ますことができた。一方で、個別デバイスはメーカが用意するデータ・シートに詳細な電気的特性が書かれているので回路設計が容易であるとも言える。CPLD 開発には、開発言語であるソフトウェアとデバイスの内部構成も含めたハードウェアの両方の知識が必要であることを体感した。今後はプログラマブル論理素子を使ってさらに多くの回路設計を行い、このようなデバイスを使用する上でのノウハウを蓄積して行きたいと考える。

参考文献

[1]　AD9235 Data Sheet, Analog Devices Inc.
[2]　XC95144XL Data Sheet, Xilinx Inc.
[3]　http://www.itplaza.co.jp/opti/cusb/index.html

パルス波高値計測回路の製作

吉田久史、○豊田朋範
自然科学研究機構　分子科学研究所　装置開発室

概要

分子科学研究所の極端紫外光実験施設(UVSOR)の自由電子レーザー(FEL : Free Electron Laser)実験において、FEL 強度モニターからの信号の波高値を計測する装置が必要になった。信号の波高値は最終的に TDC(Time to Digital Converter)によりパソコンに取り込むため、製作する計測装置には波高値の検出と同時にその値に比例したインターバルを持つ 2 つのパルスを出力する機能が必要となった。我々は、40MSPS の 12bitA/D 変換器と Xilinx の CPLD を使用して、それらの機能を順次実行する計測装置を製作した。本報告では回路ブロックの機能とハードウェア記述言語による構築、並びにシミュレーションによる動作検証手法等について報告する。

1　計測装置の構成

本装置の回路構成を図 1 に示す。CPLD で構築したのは図 1 における青色の部分である。CPLD で構築した理由は、(1)40MHz の高速クロックに同期したシーケンス動作を実現する(2)NIM1 巾モジュールという限られたスペースに実装する－の 2 つが挙げられる。シーケンス動作については別記事で詳述されているので、ここでは割愛する。

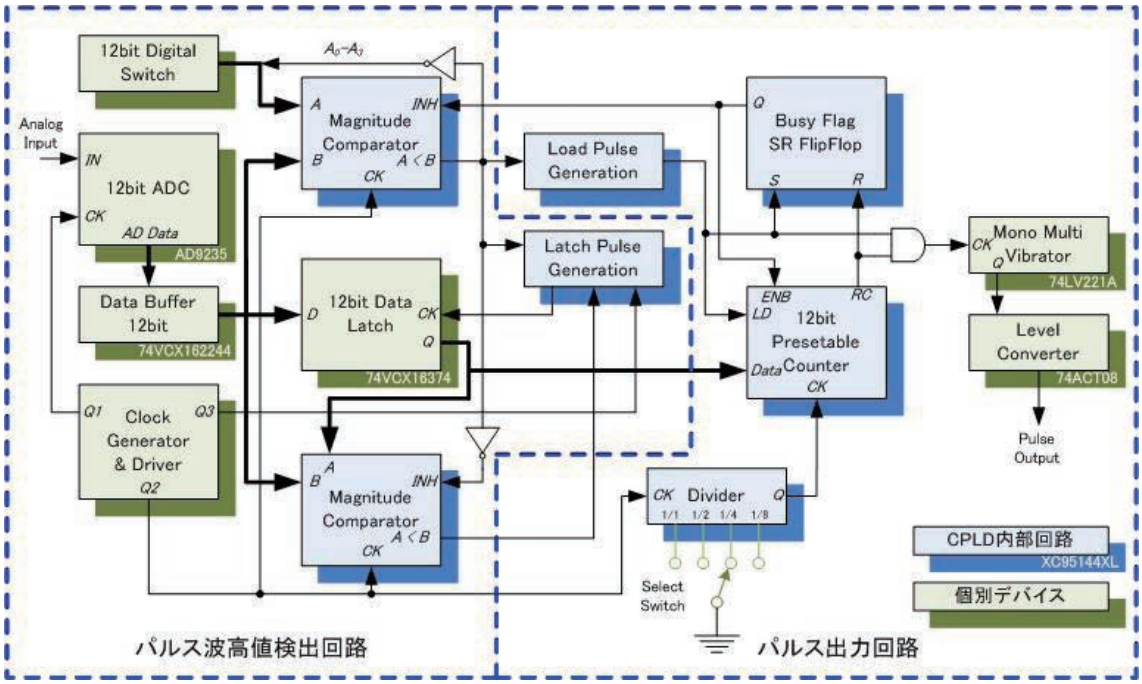


図 1.　パルス波高値計測回路のブロック図

CPLD の機能を構築するには、ハードウェア記述言語が用いられる。今回は筆者が何度か製作経験を有する[1]Xilinx 社の IDE(統合開発環境)である ISE Webpack と、XC95144XL-10TQ144[2]を搭載したカメレオン USB 基板[3](図 2)を用いた。ハードウェア記述言語は VHDL を選択した。

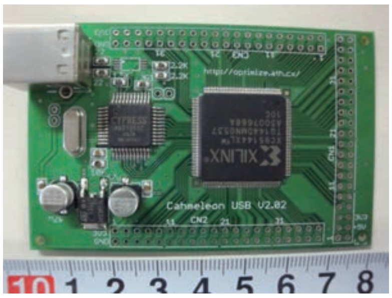


図 2.　カメレオン USB

2　VHDL によるディジタル回路構築

2.1　マグニチュード・コンパレータ

12bitA/D 変換器 AD9235[4]は、40MHz のシステムクロックに同期して、12bit ディジタルデータを逐次出力する。図 1 上段のコンパレータ(コンパレータ 1)は、この 12bit ディジタルデータ B とスイッチで設定するしきい値 A を比較して、A<B の時出力を”1”にする。図 1 下段のコンパレータ(コンパレータ 2)は、ラッチされたデータ A と 12bit ディジタルデータ B を比較して、A<B であれば出力を”1”にする。いずれのコンパレータもシステムクロック CK の立ち下がりで比較判定する。また、INH 入力が”1”だと比較動作を停止して出力を保持する。

コンパレータ 1 の VHDL ソースを図 3 に示す。比較演算のために 2 つの入力を bit 列から Integer に変換する(241-246 行)。クロックもしくは INH の変化で駆動する process 構文(250-265 行)では、INH が”1”であれば直前の出力を保持する(252-255 行)。INH が”0”であれば、クロックの立ち下がりで比較演算を行う。しきい値より 12bit ディジタルデータが大きければ出力を”1”にして、小さければ”0”にする。それ以外では出力を”0”にする(257-263 行)。

```
237     ---*****************************************************---
238     -- Comparator1 (Function "A < B", "A>=B" with 'Inhibit') --
239     -- Transform 'Integer' section
240         --Conversion binary to decimal(Comparator1-A)
241         int_cmp1_a <= CONV_INTEGER(not(cmp1_in1));  -- also 'int_value' for normal
242         int_cmp1_a <= CONV_INTEGER((cmp1_in1));-- also 'int_value' for testing
243         --Conversion binary to decimal(Comparator1-B&2-A)
244         int_cmp1_b <= int_tvalue1;      -- for testing
245         int_cmp1_b <= CONV_INTEGER(cmp1_in2);
246         int_cmp2_a <= int_cmp1_b;
247
248     -- Synchronous Comparator (Function "A < B",and "A >= B")
249     -- Main(comparating) section
250     process (clk,inhibit) begin
251         -- Priority 'Inhibit(Fixing logics)' function --
252         if (inhibit = '1') then
253                 pre_out1a <= pre_out1a;
254                 pre_out1b <= pre_out1b;
255         elsif (clk'event and clk = '0') then
256         -- Comparation 'int_cmp1_a'(A) and 'int_cmp1_b'(B)
257             if (int_cmp1_a < int_cmp1_b) then
258                 pre_out1a <= '1';
259                 pre_out1b <= '0';
260             else
261                 pre_out1a <= '0';
262                 pre_out1b <= '1';
263             end if;
264         end if;
265     end process;
266     ---*****************************************************---
```

図 3.　コンパレータ 1 の VHDL ソース

2.2　12bit プリセッタブル・ダウンカウンタ

TDC に接続する出力パルスのインターバルを生成する 12bit プリセッタブル・ダウンカウンタは、ロード入力 LD が”0”の時に 12bit ラッチデータ Data をプリセット値とする。イネーブル入力 ENB が”1”であればクロック CK の立ち上がりでダウンカウントする。カウント値が 0 になるとキャリー出力 RC を”0”にする。

12bit プリセッタブル・ダウンカウンタの VHDL ソースを図 4 に示す。

```
---*****************************************************---
-- 12bit Presetable Down Counter with Carry --
-- Asynchronous preset and down counting section--
process (int_clk,load,int_bfq) begin
    if (load = '0') then
        int_value <= int_cmp2_b;
    elsif (int_bfq = '1') then
        if (int_clk'event and int_clk = '1') then
            int_value <= int_value - 1;
        end if;
    end if;
end process;

-- Carry control section --
process (int_value) begin
    if ((int_value = 0) and (int_bfq = '1')) then
        int_precarry <= '0';
    else
        int_precarry <= '1';
    end if;
end process;
---*****************************************************---
```

図 4.12bit プリセッタブル・ダウンカウンタの VHDL ソース

後述の分周器で分周されたシステムクロックかロード入力かイネーブル入力のいずれかの変化で駆動する process 構文(217-225 行)では、ロード入力が”0”であればパルス波高値をプリセット値としてロードする。イネーブル入力が”1”の時、クロックの立ち上がりで 1 つダウンカウントする。カウンタの値の変化で駆動する process 構文(228-234 行)では、カウンタの値が 0 且つイネーブル入力が”1”の時にキャリー出力を”0”に、その他の状態では”1”にする。

2.3　分周器(Divider)

12bit プリセッタブル・ダウンカウンタに供給するクロックを生成する分周器は、入力されるシステムクロック CK を 1/1、1/2、1/4、1/8 分周し、外部スイッチで選択した分周値のクロックを出力する。

分周器の VHDL ソースを図 5 に示す。システムクロックと 4bit 分周値入力で駆動する process 構文において、システムクロックの立ち上がりで 1 つアップカウントする 4bit カウンタを構成する(169～176 行)。また、4bit 分周値入力の値に応じて、出力をシステムクロックもしくは 4bit カウンタのいずれかの bit に接続するセレクタ回路を構成する(179-191 行)。

分周値入力が想定する 4 つ以外の場合、出力が不定になる恐れがある。それを回避するため、セレクタ回路で現在の分周値を示すフラグ int_flagdiv を設定しておく。分周値入力が想定以外の値では、int_flagdiv の値に応じて出力をシステムクロックもしくは 4bit カウンタのいずれかの bit に接続する(192-203 行)。

```
166   ---*****************************************************---
167   -- 4bit Selectable Divider --
168   -- Dividing section --
169   process (clk,div_selin) begin
170       if (clk'event and clk = '1') then
171           if (int_divcnt = "1111") then
172               int_divcnt <= "0000";
173           else
174               int_divcnt <= int_divcnt + '1';
175           end if;
176       end if;
177
178   -- Seleting (pre)output section
179       case (div_selin) is
180           when "1110" =>
181               pre_divout <= clk;
182               int_flagdiv <= 0;   -- Select 'clk'(1/1 dividing)
183           when "1101" =>
184               pre_divout <= int_divcnt(0);
185               int_flagdiv <= 1;   -- Select 1/2 dividing
186           when "1011" =>
187               pre_divout <= int_divcnt(1);
188               int_flagdiv <= 2;   -- Select 1/4 dividing
189           when "0111" =>
190               pre_divout <= int_divcnt(2);
191               int_flagdiv <= 3;   -- Select 1/8 dividing
192           when others =>
193               case (int_flagdiv) is
194                   when 0 =>
195                       pre_divout <= clk;
196                   when 1 =>
197                       pre_divout <= int_divcnt(0);
198                   when 2 =>
199                       pre_divout <= int_divcnt(1);
200                   when 3 =>
201                       pre_divout <= int_divcnt(2);
202               end case;
203               int_flagdiv <= int_flagdiv;
204       end case;
205
206   end process;
207   ---*****************************************************---
```

図 5.分周器の VHDL ソース

3　シミュレータによるディジタル回路の動作検証

試作したカメレオン USB(CPLD)の動作検証では、ファンクション・ジェネレータや外部スイッチ回路を基板に接続し、入力条件を変化させてその応答を観測する手法を取る。ハードウェア記述言語で構成したディジタル回路はソースの変更で容易に回路構成を変更できるが、そのたびに前述の手法で動作検証を繰り返すのは非効率的である。また、観測したい信号線はすべて CPLD の I/O ピンを通して外部に引き出す必要がある。今回は従来の手法に加えて、シミュレーションによるパソコン上での動作検証を行った。

シミュレータには、Xilinx 社から無償提供されている ModelSim(図 6)[5]を用いた。電子回路シミュレータでは Spice が有名であるが、ModelSim も回路に入力する信号を定義してその出力を検証するツールである。Spice では回路構成を示すファイルであるネットリストをテキストエディタや回路図エディタで作成するのに対し、ModelSim は入力信号を定義するテストベンチと称するテキストファイルと、同じくテキストファイルである検証対象の VHDL(もしくは Verilog-HDL)ソースを使用する。

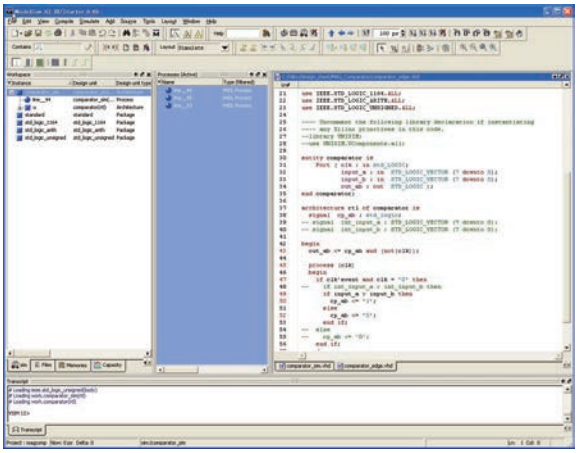


図 6.ディジタル回路シミュレータ ModelSim

今回製作したマグニチュード･コンパレータについてのテストベンチを図 7 に示す。テストベンチは VHDL もしくは Verilog-HDL の文法を使用する。図 9 は VHDL の文法を使用したもので、まずライブラリを読み込み(6-9 行)､回路モジュールを定義する(12-17 行)。続いて回路モジュールの入出力を定義して(21-27 行)、内部信号の定義や(29-32 行)信号の振る舞い(45 行-)を記述する。

図 7 のテストベンチをシミュレーションした結果を図 8-1 と 8-2 に示す。波形は上から順にシステムクロック､出力、データ入力 A、データ入力 B である。A>B が成立する時、システムクロックの立ち下がりで出力が”1”になり、システムクロックの次の立ち上がりで”0”になる出力が得られている。このように、テストベンチを使用することで､あたかも各種外部入力を接続してロジックアナライザを使用しているように回路の入出力を表示・検証できる。

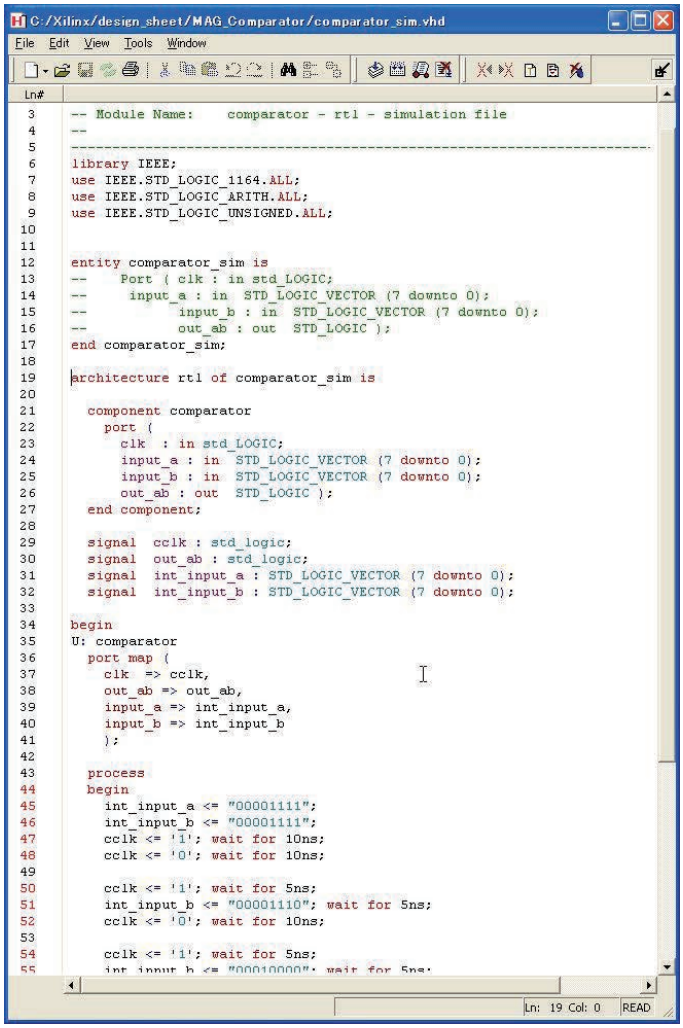


図 7.マグニチュード・コンパレータのテストベンチ

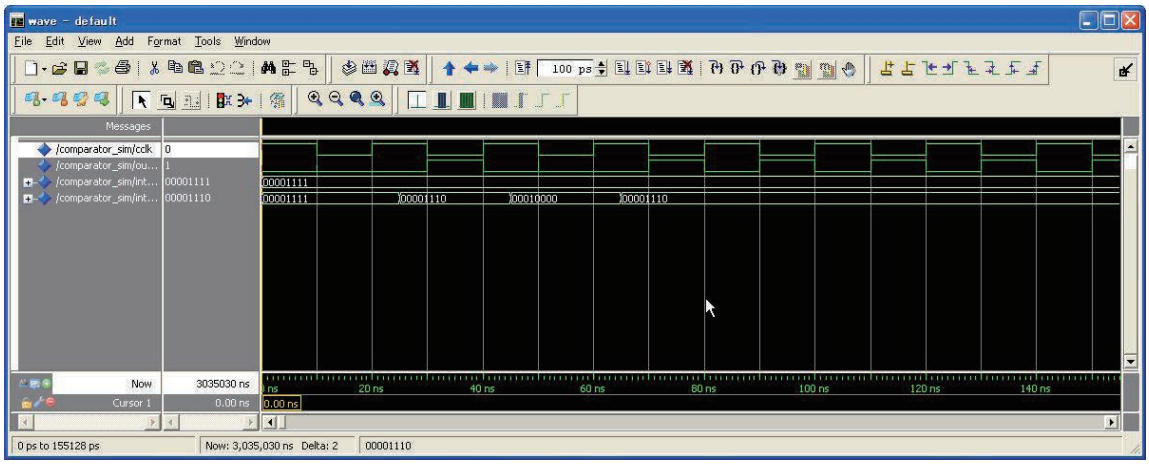


図 8-1.　ModelSim でのシミュレーションの様子(1)

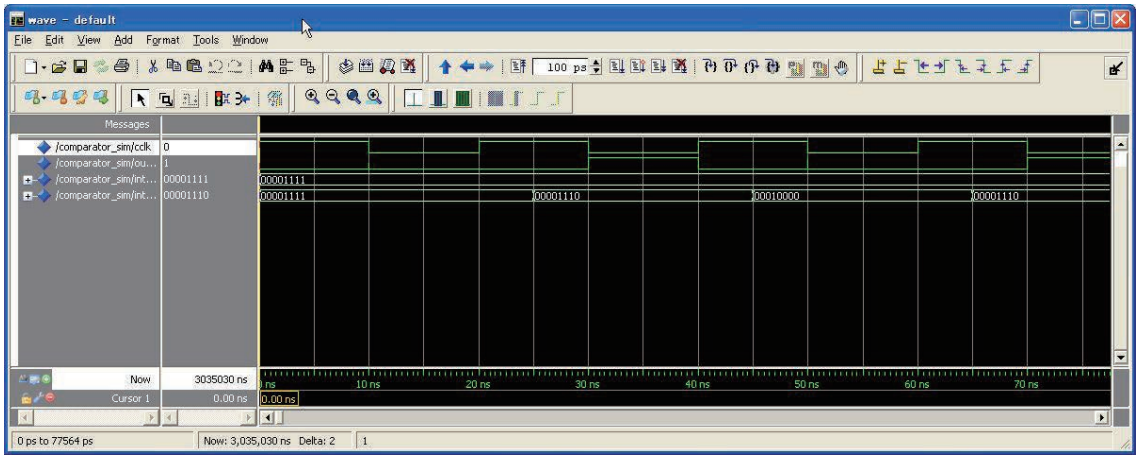


図 8-2.　ModelSim でのシミュレーションの様子(2)

4　総括

CPLD を用いることで、標準ロジック IC では実現が難しい特別な機能を有するディジタル回路を VHDL により柔軟に構築できた。また、シミュレーションを導入することで動作検証をより効率的に行えた。

複数の回路ブロックを同時に駆動させたため、ある回路ブロックの出力論理のミスが回路全体に波及して動作に支障をきたす事態に遭遇した。複数の回路ブロックを正確に動作させるためには、ソースの一部を修正するにしても常に回路全体の動作を俯瞰する必要性があると実感した。

参考文献

[1]　豊田朋範、河本充司、”USB 接続 NMR 用高速高分解能データロガーの開発”、平成 20 年度京都大学総合技術研究会報告集第一分冊、平成 20 年 3 月、p190-191

[2]　XC95144XL Data Sheet, Xilinx Inc.

[3]　http://optimize.ath.cx/cusb/index.html

[4]　AD9235 Data Sheet, Analog Devices Inc.

[5]　芹井滋喜、黒毛利　学、”はじめよう！ディジタル回路シミュレーション”、トランジスタ技術 2003 年 5 月号別冊付録、平成 15 年 5 月

多チャンネル培養型プレーナーパッチクランプバイオセンサーのプラスチック基板開発

Development of plastic substrates for the multichannel incubation type planer patch clamp biosensor

高田紀子[1)]、青山正樹[1)]、鈴井光一[1)]、八須洋輔[2)]、大森整[2)]、銘苅春隆[3)]、中尾聡[1)]、宇理須恒雄[1)]
（分子科学研究所[1)]、理化学研究所[2)]、産業技術総合研究所[3)]）

1 多チャンネル培養型プレーナーパッチクランプバイオセンサー

バイオセンサーとは、神経細胞のシグナル伝達やイオンチャンネル等膜貫通タンパク質の研究において、細胞のイオン電流を計測するために使用される計測装置である。この種の装置として、ピペットを用いたパッチクランプ法（図1 a)）がすでに確立された手法として電気生理学の分野で広く用いられているが、(1)装置が大掛かりであり、ハイスループットスクリーニング応用に必要な多点測定ができない，(2)細胞の寿命が短いため、長時間の経過観察ができない、(3)熟練操作が必要、などの応用上の問題が指摘されている。これらの問題点を解決するため、分子科学研究所 宇理須教授のグループと装置開発室とでは、これまでに1チャンネルの培養型プレーナーパッチクランプバイオセンサーを開発し、これを用いて実験を行っている（図1 b)）。さらに現在は、16点同時に計測できる多チャンネル型の開発を目標としている（図1 c)）。特に、イオン電流を測定する細胞と接する基板上にナノレベルの精度の微細構造が必要とされており、この部分の開発を重点的に行っている。

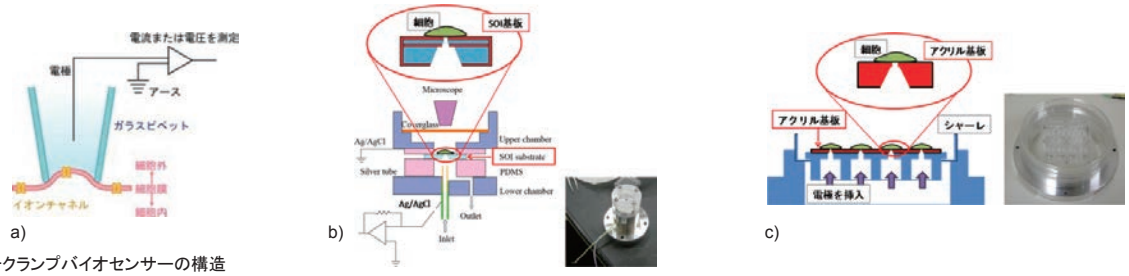


図1 パッチクランプバイオセンサーの構造
a) ピペットパッチクランプバイオセンサー
b) 培養型プレーナーパッチクランプバイオセンサー（1チャンネル型） c) 培養型プレーナーパッチクランプバイオセンサー（4×4チャンネル型）

2 プラスチック基板上の微細構造の製作

多チャンネル化を図るにあたって、コストや量産という点を考慮に入れながら、加工材料や加工方法を選択し検討を行っている。基板の材料は、穴あけの工程にLIGAプロセスを想定していることから、アクリルを使用している。プラスチック材料の利点には、安価であり、また加工性に優れている点も挙げられる。加工方法に関しては、大きさ約50μm×50μm、厚さ10μm以下の薄膜部分の製作にはホットエンボスを、φ2～3μmの穴あけ加工には放射光によるLIGAプロセスを検討している。目的の構造と加工方法の一連の流れを図2に示す。これらの加工方法の利点としては、高精度で低コスト、また一度の処理で多数同時に加工できることが挙げられる。

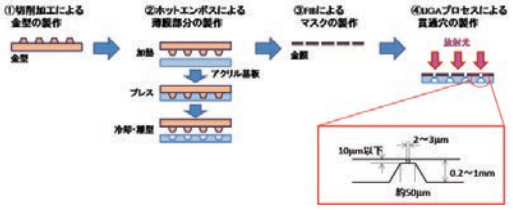


図2 バイオセンサー用プラスチック基板の製作工程

3 超精密多軸マイクロ/ナノ加工機を用いた金型の製作

ホットエンボスを行うにあたって、金型の精密な加工が不可欠である。金型の精度や表面の状態、またバリの有無が、薄膜部分の厚さのバラツキや、成型時に必要以上の負荷を与えることで薄膜部分の損傷につながるおそれがあるためである。装置開発室で所有する切削加工機の加工精度はμmオーダーであるため、理化学研究所所有の、nmオーダーの加工精度をもつ超精密多軸マイクロ/ナノ加工機を使用して金型の製作を行った。製作した金型の写真と突起部分のSEM画像を図3に示す。

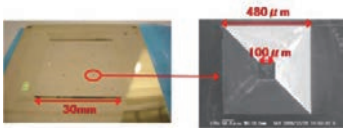


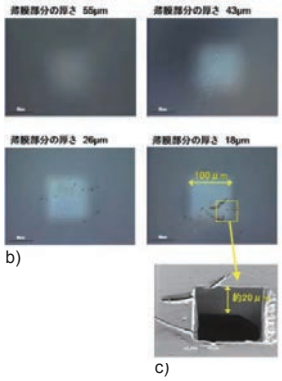
図3 金型の写真と突起部分のSEM画像

4 ホットエンボス加工

3で製作した金型を用いてホットエンボス加工を行った時の実験条件と結果を示す。図4では、上部ステージのZ軸方向の変位制御により加工を行い、設定値に対して、光学顕微鏡の焦点距離による薄膜部分の厚さの測定値をフィードバックすることで、10μm以下の薄膜部分の製作を目指した。アクリル基板上に成形された薄膜部分の光学顕微鏡写真（図4 b)）と、FIBによって切断した断面の画像（図4 c)）を示す。これらの画像から分かるように、厚さが薄くなるにつれて、薄膜部分にクラックのようなものが確認された。このようなクラックは、細胞のイオン電流を測定する上で、リーク電流の原因につながるため望ましくない。クラックの原因の一つに、上部ステージのみを加熱したためにアクリル基板内部に熱勾配が生じ、加熱による膨張、収縮の程度に差が生じたためと考えられる。そこで次に、アクリル基板をできるだけ均一に加熱するために、上部ステージだけでなく、下部ステージも同時に加熱することを試みた（図5）。その結果、下部ステージの加熱温度を上げるにつれて、クラックの解消が確認された。今後のホットエンボスにおける課題は、薄膜部分の厚さをさらに薄くすることと、ホットエンボスの各種条件が薄膜部分の厚さに寄与する影響を調べ、制御することである。

成形材料	アクリル（クラレックスS（日東樹脂工業（株）製））
試料寸法	70mm×70mm×t0.2mm
加熱温度	180℃（上部ステージ） 25℃（下部ステージ）
成形圧力	150N～1250N
保持時間	1分

a)



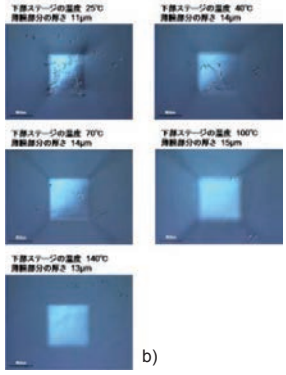
b)

c)

図4 ホットエンボスの条件と結果①
薄膜部分の形成によるクラックの発生
a) ホットエンボスの条件
b) ホットエンボス後アクリル基板の薄膜部分を下部ステージ側から観察した光学顕微鏡写真
c) 薄膜部分の一部をFIBで切断し、45°傾けて撮影した画像

成形材料	アクリル（クラレックスS（日東樹脂工業（株）製））
試料寸法	70mm×70mm×t0.2mm
加熱温度	180℃（上部ステージ） 25℃、40℃、70℃、100℃、140℃（下部ステージ）
成形圧力	3500N
保持時間	1分

a)



b)

図5 ホットエンボスの条件と結果②
下部ステージの加熱によるクラックの発生に対する影響
a) ホットエンボスの条件
b) ホットエンボス後アクリル基板の薄膜部分を下部ステージ側から観察した光学顕微鏡写真

多チャンネル神経細胞ネットワーク素子の開発
Development of multi-channel patch clamp biosensor for neural networks

*Noriko Takada, Nobuo Mizutani, Masaki Aoyama, Mitsukazu Suzui, Tsuneo Urisu
Equipment Development Center IMS

1. Introduction

We are developing multi-channel incubation-type planer patch clamp biosensor, which can measure ion channel currents of cells including neurons positioned at multi-points at the same time. It has such characteristics, compared with pipette patch clamp method, which is generally used in electrophysiological field, as (1) possible multi-channel measurements at the same time, (2) long term measurements, and (3) that high level of skill is not required. These characteristics are suitable to the application such as high throughput screening and signal transduction measurements of neurons. Until now, we have developed 1-channel incubation-type planer patch clamp biosensor, and succeeded in measurements of ion channel currents. At present, we are aiming at the fabrication of multi-channel one. Here, we chose the plastic (PMMA) material, which has various micro fabrication and functional modification possibilities, as a substrate on which cells are patterned.

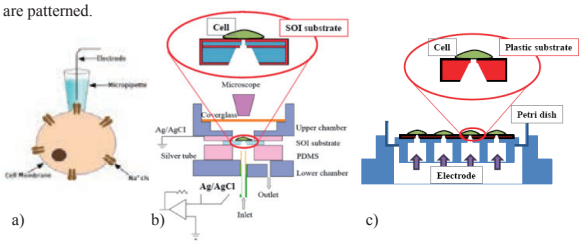


Fig. 1. Structures of patch clamp biosensors.
a) Pipette patch clamp biosensor.
b) Planer patch clamp biosensor (1 channel type).
c) Planer patch clamp biosensor (4x4 channel type).

2. Fabrication process of micro structures on plastic substrates

At present, it is under development to fabricate the micro fluidic structure for cell patterning on one side of plastic substrate surface and the well structure for storing the pipette solution and AgCl /Ag electrode to measure ion channel current on the other side. The fabrication process and the substrate structure are shown in Fig. 2. Hot embossing from both sides on one plastic substrate using two kinds of molds is the main fabrication process of our device. The mold (Fig. 2. lower left) for forming the pipette solution wells, by which thin film structures with 5-10 µm thickness at the pipette solution well are constructed, was fabricated by ultra-precision machining equipment of Dr. Omori's group, RIKEN. The other mold (Fig.2. upper left) for micro fluidic structure formations is fabricated by electroforming. At present, we are carrying out the photolithography and wet etching to fabricate the master for the electroforming. After hot embossing, we are planning to form micro through holes with 1-2 µm in diameter at around the centers of the cell positioning regions of the micro fluidic structure, which are formed just above the pipette solution wells, by Deep X-ray lithography (DXL).

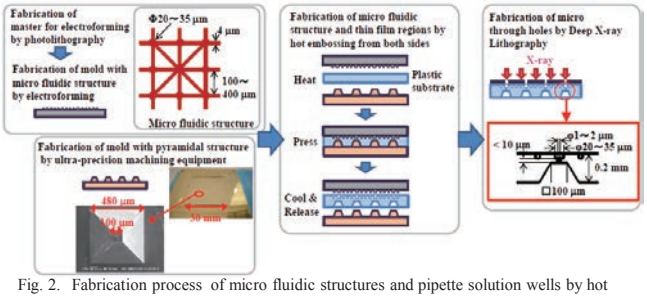


Fig. 2. Fabrication process of micro fluidic structures and pipette solution wells by hot embossing from both sides and micro through holes by Deep X-ray lithography.

3. Hot embossing

Until now, we have carried out forming thin film regions with 5-10 µm thickness at the pipette solution wells by one side hot embossing. In the first experiment, some cracks were observed at the thin film regions when the thickness became less than about 20 µm (Fig. 3. a)). These cracks may cause reduction in seal resistance when measuring ion channel currents. To solve the problem of cracks, heating condition was changed, in which we heated not only mold but also PMMA to reduce heat gradient in PMMA. As a result, we have successfully got thin film regions with 13 µm thickness without cracks (Fig. 3. b)). Next, we have investigated how the thickness variations of plastic substrates affect the thickness of the thin film regions when pressed by the same pressure in hot embossing, and we have succeeded in forming 8 µm thickness without cracks by choosing suitable thickness of plastic substrates (Fig. 4.). Moreover, concerning this thickness control of the thin film regions, the results by the new mold with circular ditches around each of the pyramidal structures was compared with that without ditches (Fig. 5.). The result shows that ditches are quite effective in forming thin film regions with a lower pressure compared with the case without ditches, and can control the thickness of thin film regions more easily.

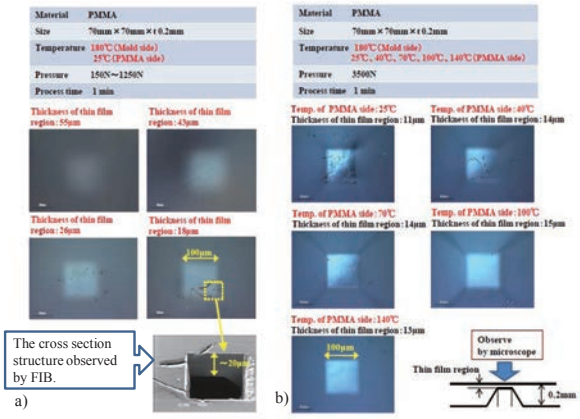


Fig. 3. Influence of the heating conditions on cracks formations at thin film regions by hot embossing.

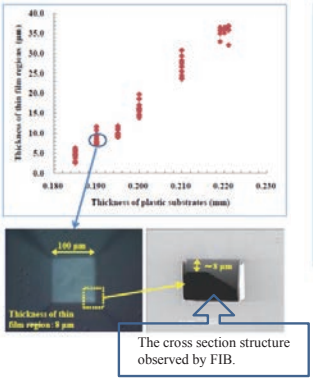


Fig. 4. Influence of the thickness variations of plastic substrates on the thickness of thin film regions formed by hot embossing.

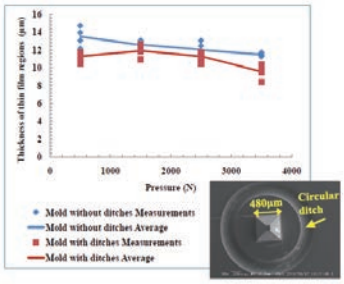


Fig. 5. Influence of the circular ditches around pyramidal structures on the thickness of thin film regions by the same pressure in hot embossing.

4. Deep X-ray lithography (DXL)

About DXL for forming micro through holes, we are now getting basic data (Fig. 6.) using the DXL beam line of Dr. Utsumi's group, at the synchrotron radiation facility New SUBARU, of University of Hyogo. Here, the precise position alignment among DXL mask and plastic substrate after hot embossing is the very important challenge to be solved.

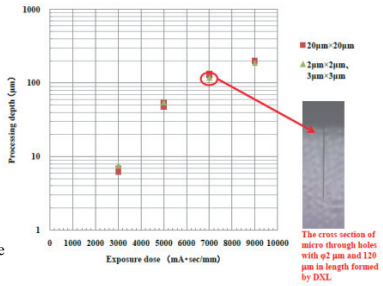


Fig. 6. The relation between exposure dose and processing depth.

5. Conclusion

・We are developing multi-channel incubation-type planer patch clamp biosensor, which can be applied to the research of in vitro neural networks, using plastic substrates.
・We are developing this biosensor using many kinds of the precise fabrication technologies, such as photolithography, wet etching, electroforming, ultra-precision machining, both side hot embossing, DXL, and focused ion beam.
・Until now, we have succeeded in forming thin film regions with 5-10 µm thickness without cracks at the pipette solution wells by choosing suitable heating conditions and thickness of plastic substrates.
・In the near future, we are going to complete the device by developing the formation technologies of micro fluidic structures by both side hot embossing and micro through holes by DXL, and measure ion channel currents of living cells including neurons.

MI センサを用いた磁場キャンセル装置の開発

吉田久史

1.はじめに

X,Y,Z 軸に配置したコイルの発生する磁場により、コイルで囲まれた空間の地球磁場をキャンセルする装置の製作依頼を受けた。我々は小型・高精度磁気センサである MI センサを用いた磁場測定回路とプログラマブルなコイル電流駆動回路を製作し、それらを組み合わせた磁場の制御装置を開発した。これにより、地磁気や外部磁気による磁場変動をキャンセルすることだけでなく特定の磁場を生成する装置としても使用可能である。

2.MI センサ

MI センサは、アモルファス磁性金属ワイヤの MI 効果(Magneto Impedance Effect)を応用したもので、数ガウス程度の微小磁場を高精度(10^{-6}G)に測定できることから地球磁場の測定や生体磁気の計測等に応用されている。使用した AMI302(愛知製鋼)は、3.5×4.0mm 角のチップの中に X,Y,Z 軸の 3 つの磁気センサとそれらを駆動するための電子回路が集積されている。使用方法は、IC の電源端子に 2.6V～3.6V の電源を供給し X,Y,Z を指定するロジック信号を与えるとそのセンサによる磁場強度がアナログ電圧で出力される。AMI302 の外観を図 1 に磁気特性を表 1 に示す。MI センサを使用する際の注意点は、磁気感度(mV/G)と原点(オフセット)電圧がセンサ毎で大きくばらつくことである。従って、出力電圧から磁場強度への換算式を、センサに添付されるデータシートを参照し補正する必要がある。我々は、磁場データを取得するマイコンのプログラムを使用するセンサ IC に応じて書き換えることで対応させた。

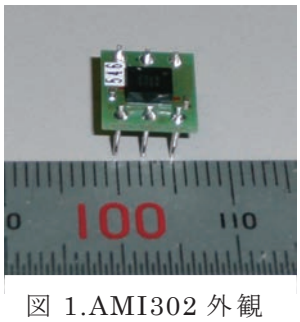


図 1.AMI302 外観

(動作条件：Ta= +25 ° C 、VDD= +3.00 V 、VDD－GND間に10 μ F)

項目	記号	条件	Min.	Typ.	Max.	単位
動作範囲	Rm	CS="H"	±2	―	―	G
出力直線性	Lin	CS ="H"、±2G	―	1.6	―	%FS
ゼロ磁場での出力電圧	Vofs	CS="H"	800	1500	1900	mV
感度	deltaV	CS="H"	160	240	380	mV/G
周波数応答	Fr	CS="H"	―	―	1	KHz

表 1. AMI302 磁気特性

3.磁場キャンセル装置の構成

本装置のブロック図を図 2 に示す。装置は MI センサによる磁場計測回路と DA 変換器を用いたコイルの電流駆動回路、そして制御プログラムを動かすためのホストコンピュータ(ノートパソコン)で構成されている。計測回路は Microchip 社製のマイコン dsPIC30F4013 を用い、内蔵する 12 ビットの AD 変換器で MI センサが出力するアナログ信号を取り込む。MI センサの出力電圧が最大約 2.7V であることから、AD 変換器の基準電圧を 3.0V に設定した。従って、AD 変換器の分解能は 0.73mV/Bit である。これは磁気センサの感度特性から 0.0019～0.0046G/Bit の分解能となり今回の仕様では十分な値であった。ちなみに、地磁気の大きさは東京付近で約 0.45G である。

磁場計測のためのマイコン処理は、周期的に X,Y,Z のセンサ出力をスキャンし、指定回数のアベレージングを行って結果を LCD 表示器に表示することである。また、ホストコンピュータからの要求があれば、計測したデータをホストコンピュータに送信する処理も行う。直径約 95mm,長さ約 580mm の円筒形のミューメタルを用いた磁気シールドの環境下で磁場

測定を行った結果、64 回のアベレージング処理を行った時の出力電圧(磁場)のばらつきは約 5mV(0.02GTyp.)であった。

コイル電流駆動回路は、12 ビットの DA 変換器とパワー・オペアンプによる電圧-電流(V-I)変換回路で構成した。X,Y,Z の 3 軸分の DA 変換器が必要となることから、DA 変換器にはシリアルデータ入力タイプの DAC8512(Analog Devices)を用い、データ設定に必要な信号線の数をできる限り減らす工夫をした。この DA 変換器は 0～4.095V のユニポーラ出力であり、分解能は 1mV/Bit となる。後段の V-I 変換回路は、1mV を 1mA の電流値に変換する回路とした。DA 変換器のデータ設定は、ホストコンピュータからの指令によりマイコンの割り込み処理で実行される。なお、今回は地磁気をキャンセルすれば良いことから、磁場を生成するためにコイルに流す電流の向きは片方向のみで良い。

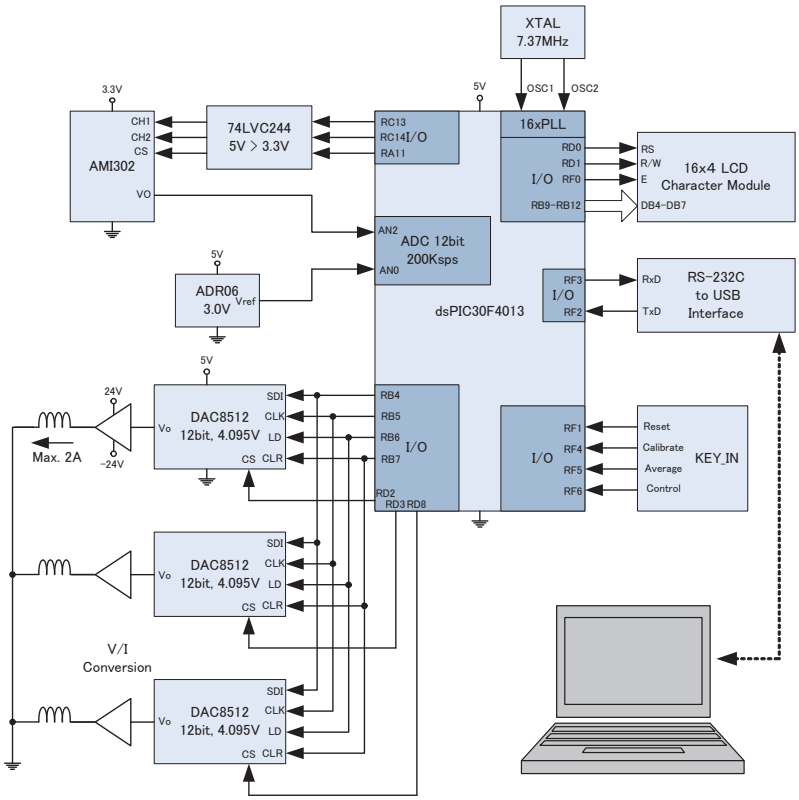


図 2.磁場キャンセル装置のブロック図

ホストコンピュータは、磁場計測回路から送られて来たデータと目標値との誤差を計算し、各コイルに流す電流量を割り出してコイル電流駆動回路に送信する。この時のシリアル通信は USB の仮想 COM ポートを使用し、そのためにマイコン側には USB-RS-232C 変換 IC である FT232BM(FTDI)を搭載した。また、ホストコンピュータの制御プログラムは Visual Basic で開発を行った。

4.おわりに

製作した磁場キャンセル装置の外観を図 3 に示す。約 30cm³ の立方体の各面にコイルを 10 回巻き、その空間のほぼ中央に MI センサを配置して本機のテストを行った。磁場をキャンセルするように自動制御を行った所、各軸での変位は 2.5mV(0.01G)以内であることが分かった。制御プログラムのサンプリング周期は、最大約 18mS であった。ホストコンピュータとマイコン間のデータ転送時間は 1ms 以下で終了し、その大部分が自動制御のための演算に要する時間である。磁場精度と制御速度共に今回の目的では十分であるが、今後さらに性能を向上させるための検討を行いたいと考えている。

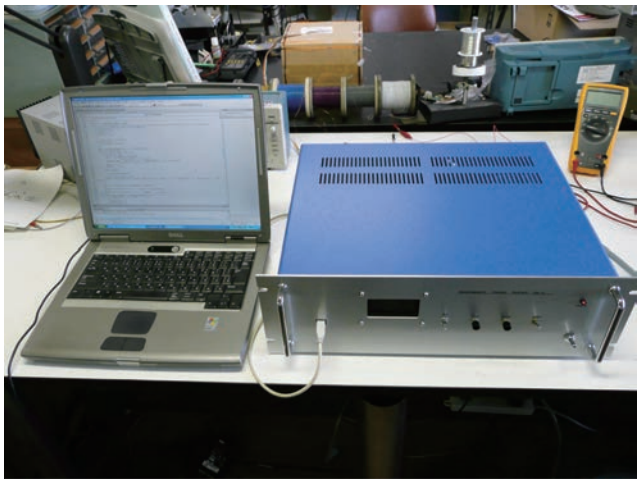


図 3.磁場キャンセル装置の外観

CPLD を用いた高速シリアルデータ転送回路

豊田朋範

1.はじめに

今回、近年のファンクションジェネレータで採用されている DDS(Direct Digital Synthesizer)方式の発振器 IC の初期化やデータ転送に用いるシリアルデータ転送回路を CPLD で構築したので報告する。

一般的にこのような回路はマイコンで製作するが、CPLD で構成すると(1)高速転送が可能であること、(2)開発言語の環境依存性が低いこと(C 言語はしばしば開発環境ごとに異なるヘッダファイルの読み込みや関数の変更が必要とされる)、(3)ピン数が多いため多くの入出力に対応できること、(4)秘匿性が高いことなどのメリットがある。

2.装置の概要

今回用いた CPLD キットと発振器 IC を図 1 に示す。CPLD キットは昨年度の技術報告で使用した XC95144XL-TQ144-10C(Xilinx 社)と比較して内部回路の容量が約 5 倍(570 ロジックエレメント)で基板サイズが小型の EPM570T100C5N(Altera 社)を使用した。当初は XC95144XL-TQ144-10C を使用していたが、後述する周波数設定値のデータ変換処理回路を組み込んだところ内部回路の容量が不足したため、EPM570T100C5N に切り替えた。

入出力や動作の決定は Altera 社が提供する無償の IDE(統合開発環境)である QuartusⅡで VHDL を用いてプログラミングし、コンパイルして作成した回路構成ファイルを JTAG インターフェースで CPLD に転送することで行う。PC と CPLD の接続にはソリトンウェーブ社の MAXⅡマイクロキットを用いた。

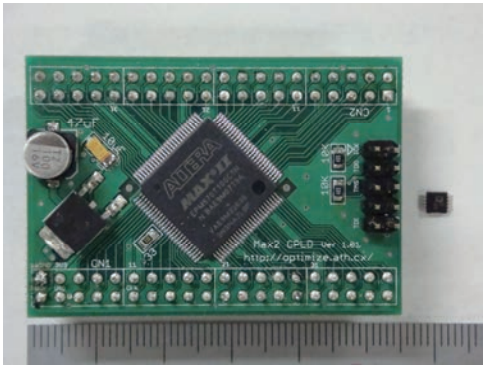


図 1：使用した CPLD キット(左)と発振器 IC(右)

発振器 IC は AD9833BRM(Analog Devices 社)を用いた。AD9833BRM は 2.3V～5.5V 単一電源で動作し、DDS 方式により最高 12.5MHz の周波数を 28bit の分解能で出力できる。3 線式 SPI インターフェースを採用しており、送信用クロック sclk、イネーブル fsync、送信データ sdata を所定のタイミングで操作することで内部の 16bit レジスタにデータを転送する。

製作した DDS 波形発生器のブロック図を図 2 に示す。CPLD で構築した制御回路は、周波数設定を行う 3 桁サムホイールスイッチの値(1～199Hz)を AD9833BRM の内部レジスタ用のデータに変換し、Enter スイッチで転送する。また、波形選択スイッチの状態でサイン波、方形波、三角波を選択し、所定のデータを AD9833BRM に転送する。

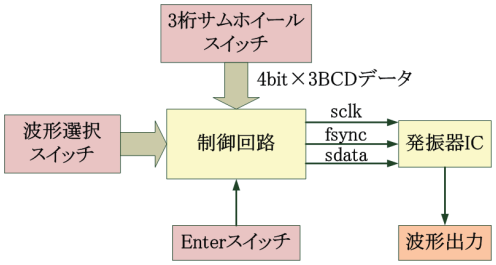


図 2：DDS 波形発生器のブロック図

制御回路は電源投入後、図 3 の状態遷移図に従って装置の初期化を順次行う。まず INIT1 で 16bit×8 個のデータを転送して AD9833BRM を初期化する。PAUSE1 で 12 クロック分待機した後、INIT2 で周波数設定に使用する内部レジスタ番号を指定する 16bit データを転送する。PAUSE2 で再び 12 クロック分待機した後、FREQ で現在の 3 桁サムホイールスイッチの値を 16bit×2 個のデータに変換して転送する。

次に、PAUSE3 で 12 クロック分待機した後、現在の波形選択スイッチの状態で SINE_PRE→SINE(サイン波)、PULSE_PRE→PULSE(方形波)、TRI_PRE→TRI(三角波)のいずれかに分岐する。分岐後はそれぞれ波形を指定する 16bit データを転送する。最後に PAUSE4 での 12

クロック分待機を経て READY に遷移して装置の初期化を完了する。以降は Enter スイッチと波形選択スイッチを監視し、操作すると所定の状態遷移を行い READY に戻る。

3.VHDL によるシリアルデータ転送回路の記述

図 3 に沿って順次データを転送し、スイッチの位置によって異なる状態に遷移する回路はステートマシンで構成している。AD9833BRM のリセットデータ、内部レジスタ番号選択データ、周波数設定値の内部レジスタ変換データ、波形選択データを転送するためにそれぞれ process 文による回路ブロックを構成しており、ステートマシンで制御する内部フラグの変化を受けて動作することで、所定のデータを順次転送する。

128bit シリアルデータ転送用 process 文の一部を図 4 に示す。パワーオンリセット入力 reset_in かリセット処理を行う内部フラグ flag_reset が 0 になると、内部カウンタ count_databit1 を 127 にプリセットし、かつ sclk に接続する内部信号 pre_sclk を 0 にする(227～229 行)。flag_reset が 1 になると、システムクロック clk の立ち上がりごとに pre_sclk を反転して(232 行)、count_databit1 が 0 であれば 0 で固定し(233～234 行)、0 でなければ pre_sclk1 が 1 の時に 1 つダウンカウントする(236～238 行)。あらかじめ定義した 128bit データにおいて count_databit1 の値で示される位置の bit を sdata とすれば、clk を 1/2 分周した sclk に同期して sdata が順次出力されるシリアルデータ転送回路が実現できる。

この回路による初期化データの出力波形を図 5 に示す。

4.おわりに

これまで CPLD を用いてディジタル回路の集積化に取り組んできたが、今回はステートマシンと複数の process 文の連携による複雑な制御系を構築した。今後は演算処理の充実や回路の最適化を図り、高機能と高い操作性を両立するディジタル回路の構築を進めていきたい。

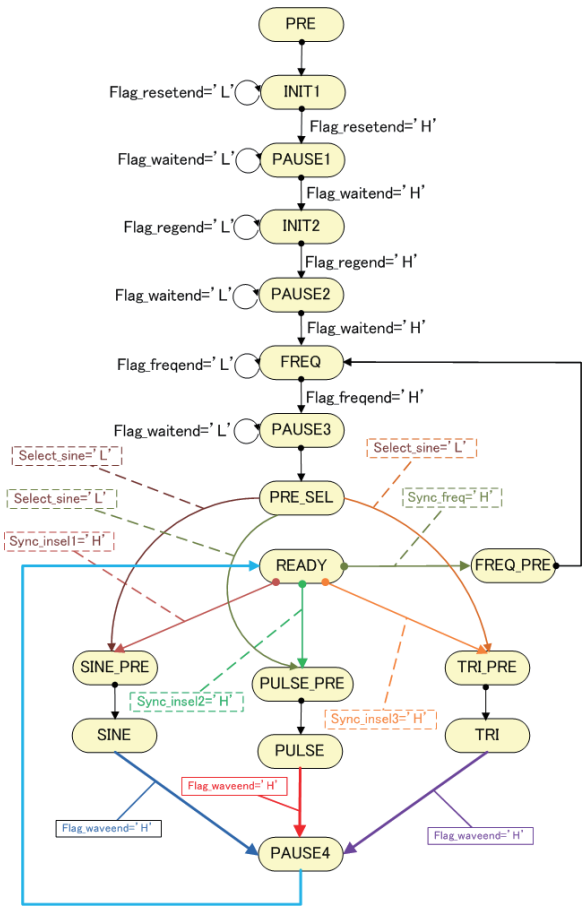


図 3：制御回路の状態遷移図

```
225    --Send Reset sequence
226    process (reset_in, flag_reset, clk) begin
227    if (reset_in = '0' or flag_reset = '0') then
228        count_databit1 <= 127;
229        pre_sclk1 <= '0';
230    elsif (flag_reset = '1') then
231        if (clk'event and clk = '1') then
232            pre_sclk1 <= not(pre_sclk1);
233            if (count_databit1 = 0) then
234                count_databit1 <= 0;
235            else
236                if (pre_sclk1 = '1') then
237                    count_databit1 <= count_databit1 - 1;
238                end if;
239            end if;
240        end if;
241    end if;
242    end process;
```

図 4：VHDL による
128bit シリアルデータ転送回路

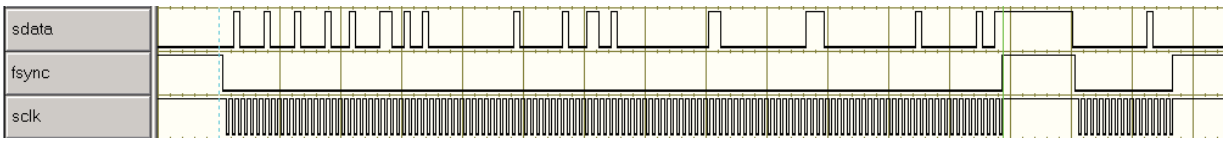


図 5：シリアルデータ転送回路の出力波形

ICF70 用スリットの設計製作

水谷伸雄

今回設計製作したスリットは、UVSOR 堀米氏、新潟大学彦坂氏の依頼による。装置開発室では、SOR リング建設当初より何台かの分光器を手掛けてきた。筆者もその過程で幾種類かのスリットを設計製作してきたが、今回製作したスリットは、機械式スリットとしては、最も小型なものとなった。

設計当初に与えられた条件は、

・既存の ICF70 のビームダクト（内径Φ38 ㎜）内に納まること。

・スリット開幅 0～1.5 ㎜、スリット（ビーム）長 10 ㎜を確保すること。

・ビームダクト周辺が狭隘なためビームダクトからの突出し量を 150 ㎜程度にすること。

等が求められた。基本設計が進む中ビームダクトへの取付けには、UVSOR で標準的に使われている面間距離 130 ㎜の十字管又は、T 字管を使うこととなりビーム中心からフランジ面までは 65 ㎜になった。（図 1 参照）

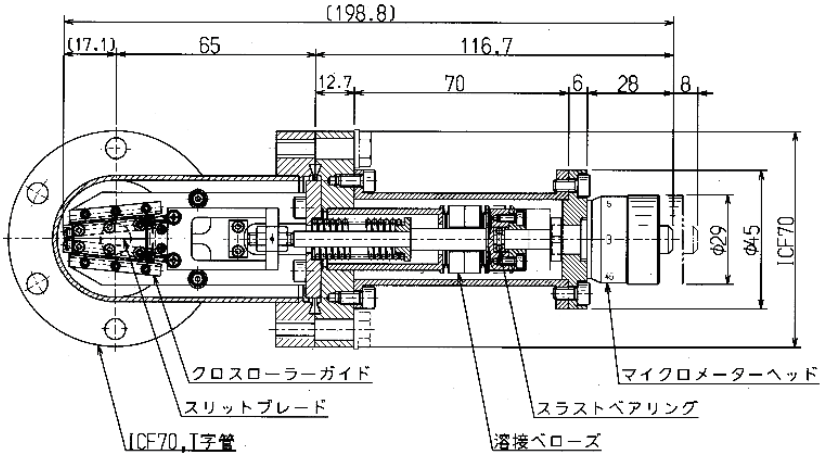


図１： ICF70用スリット組立図

スリットの開閉運動は、市販のマイクロメーターヘッドを利用し、スラストベアリングと溶接ベローズを介して真空内機構（図 2）へと伝えられる。伝えられた直線運動は、片側 1/10 の勾配を持つクロスローラーガイドの内側レールを押し引きする(外側レールは、固定)。つまり、内側レールは、横方向に 10 ㎜移動した時、縦方向にも 1 ㎜移動することになる。スリットブレードは、この内側レールに取付けられておりレールの移動に合わせて横に移動しながら開閉する。クロスローラーガイドは、両側とも 1/10 の勾配をつけてあるためスリットブレードの開閉量は、マイクロメーターヘッドの目盛の 1/5 になる。

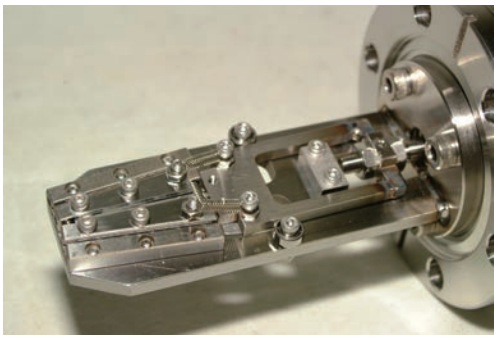


図 2： 真空内機構

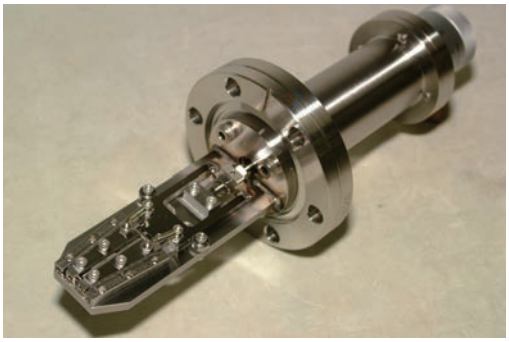


図 3： ICF70 用スリット全景

1 号機は平成 22 年 1 月から UVSOR で使用され、現在 2 号機が、新潟大学彦坂氏に提供されている。（図 3）

920MHz 超高磁場 NMR 用 ^{1}H－^{13}C 二重共鳴固体 NMRMAS プローブの改造

水谷伸雄

分子機能研究部門、西村グループでは、膜タンパク質に代表される生体分子の構造や運動性に関する情報を得る為に新規固体 NMR 測定法及び周辺機器の開発が進められている。その中我々は、NMR プローブの改良に協力している。もともと NMR プローブは、限られた空間の中に、試料の回転機構やラジオ波の照射に必要な高電圧回路部品などが、場所を争うように配置されている。今回は分子研所有の 920MHz 超高磁場固体ＮＭＲ用の ^{1}H－^{13}C 二重共鳴固体 NMR MAS プローブで試料温度調節を実現するため、既存部品をリメイクしながら新たな機能を追加した。その中でも図 1 に示すガラス製 T 字管は特筆すべき物で、枝管外径 φ14 ㎜、直管外径 Φ12 ㎜、内径 Φ6 ㎜で、真空断熱層を持つ二重構造になっている。試料管を高速回転させながら一定の温度を保つ為に、枝管からは、最大 0.4MPa の低温圧縮空気が導入され、直管部には、表面温度が最大 400℃まで昇温可能なヒーターが挿入される。すなわち、高低温の双方に高い断熱性能が要求される。T 字管は、他の機械加工された部品と共に NMR プローブへ組込まれる。本断熱二重 T 字管は優れた断熱性を発揮し、-40℃の圧縮空気の導入でも結露によるトラブルが回避された。このガラス製断熱二重 T 字管は、小丸氏の長年の経験と卓越した技術により完成した。

図 1：ガラス製断熱二重 T 字管

図 2：トランスファーチューブ支持台

他の金属部品は、アルミニウム、真鍮、銅などの非磁性材料を用いて緻密なレイアウトに対応すべく改造した。電気絶縁部品や断熱部品には、テフロン、ダイフロン、ガラスエポキシ樹脂を使用した。

また、図 2 に-40℃の圧縮空気導入用トランスファーチューブ支持台を示す。本支持台は、□90 ㎜×90 ㎜のアルミフレームを基に構成され、プローブの挿入を妨げることのないように配置し、ガラス製 T 字管はもとより繊細なプローブ各部に負荷を与えないよう充分な剛性と調整機構を備えている。

完成した本プローブは、900MHz 以上の超高磁場固体ＮＭＲでは、本邦初の試料温度調節機能付きの固体プローブとなった。

図 3：920NMR 超伝導マグネット部

多チャンネル神経細胞ネットワーク素子の開発

高田紀子

1. はじめに

昨年に引き続き、分子科学研究所 宇理須グループから依頼を受けている、多チャンネル培養型プレーナーパッチクランプバイオセンサーの製作に多く携わった。パッチクランプバイオセンサーは、細胞のイオン電流を計測するのに使用される計測装置で、ピペットを用いたパッチクランプ法が現在すでに電気生理学の分野で広く使用されている。これを、基板上で細胞を培養し、微細貫通孔を通してイオン電流を計測するプレーナー型にすることで、一定の培養期間を必要とする神経細胞の電流計測や、多チャンネル化によるスクリーニングへの応用が期待できる。これまでに宇理須グループと装置開発室とでは、1チャンネルの培養型プレーナーパッチクランプバイオセンサーを開発し[1,2]、イオン電流の計測にも成功している。現在はこの多チャンネル化を目標としており、まずは4チャンネル型の製作を進めている。その際、サブミクロンレベルの微細構造を必要とする基板の材料には、加工方法と機能の多様性に優れている点から、プラスチック（PMMA）を選択した。今年は主に、①ホットエンボスによるプラスチック基板上の微細構造（厚さ10μm以下の薄膜部分）の製作、②フォトリソグラフィーとウェットエッチングによる流路構造を持つ電鋳用マスターの製作、③光受容イオンチャンネルの培養細胞への導入とクローニング 等を行った。その中でここでは、①と②について報告する。また、これらの実験結果をもとに、技術研究会や学会で発表をする機会をもつことができた。

2. ホットエンボスによるプラスチック基板上の微細構造の製作

多チャンネルの培養型プレーナーパッチクランプバイオセンサーを開発するにあたって、上面にマイクロ流路構造を、下面に電極構造を有するプラスチック基板の開発を、各種の精密加工技術を組み合わせて行っている。ここでは、プラスチック基板に対して両側から金型で熱成形を行う両面エンボスを主要な技術とする（図 1）。エンボスで用いる金型は、一つは薄膜部分の成形のためピラミッド型の突起構造を有するもので、理化学研究所が所有する超精密多軸加工機での切削加工により製作を行っている（Mold2）。もう一つは細胞のパターニングのための流路構造成形のためのもので、電鋳による製作を進めている（Mold1）。また、センサー構造として必要なφ1～2μm の微細貫通孔の形成には、兵庫県立大学が有する放射光施設 New SUBARU において、Deep X-ray Lithography(DXL)による製作を予定している（図 1）。

これまでに、Mold2 を用いた片面からのホットエンボスにより、適切な加熱条件とプラスチック基板の厚さを選択することで、目標とする厚さ 10μm 以下でクラックのない薄膜部分の製作に成功した（図 2）。また、Mold1 に関しては、電鋳用のマスターをフォトリソグラフィーとウェットエッチングにより製作し、電鋳を外注した段階である。

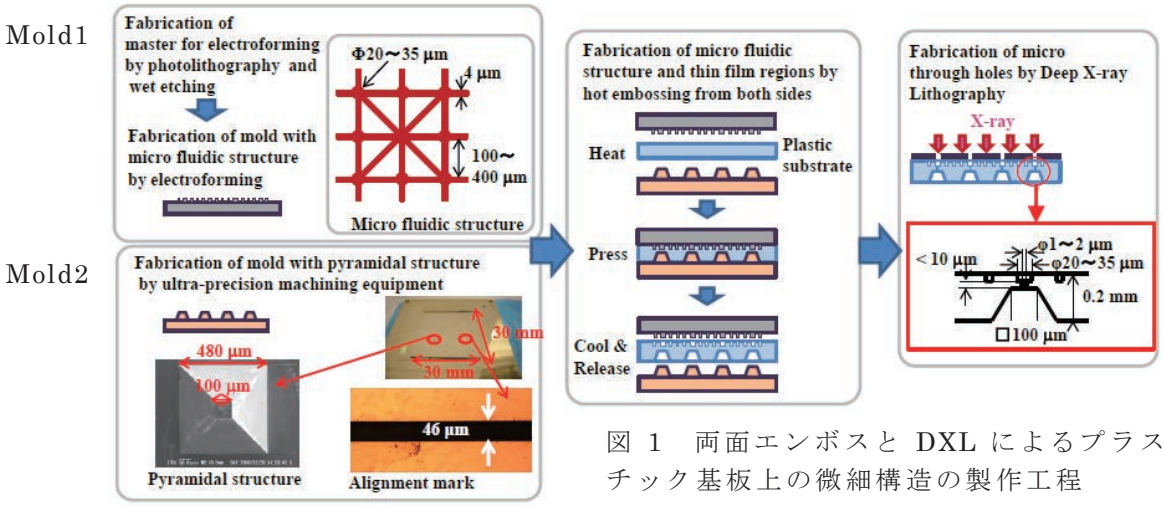


図 1　両面エンボスと DXL によるプラスチック基板上の微細構造の製作工程

3. 流路構造をもつ電鋳用マスターの製作

標的細胞を微細貫通孔の上に高い確率で設置することは、プレーナーパッチクランプバイオセンサーを開発するにあたって、重要な技術課題の一つである。そのために我々は、マイクロ流路構造をホットエンボスによりプラスチック基板上に製作する方法を進めている。流路構造をもつ金型（Mold1）には、切削での加工は難しくコストも高いことが予想されるため、電鋳を選択した。電鋳の技術はまだ装置開発室にはないため、電鋳を専門とするメーカーへ依頼した。電鋳用のマスター（図 3（a））の製作は分子研内の設備を利用して行った。幅 4μm の流路構造（図 3（c））は、ポジ型のフォトレジストを用いたリソグラフィーにより製作した。また、両面エンボスを行うためには、Mold1 と Mold2 の正確な位置合わせが必要である。そのためのアライメントマークとして、Mold2 には幅 46 μm，長さ 2mm の一本線、Mold1 には間隔 54 μm，長さ 2mm の 2 本線を製作した(図 3 (b))。その際、CCD カメラによる観察を容易にするため、アライメントマークは V 字の突起にすることが望ましい。レジストパターンでは V 溝の製作が難しいため、アルカリ溶液によるシリコンの異方性エッチングを利用して、(111)面を斜面とする V 溝を製作した。今後は、Mold1 と Mold2 を使用した両面エンボスと、DXL による微細貫通孔の製作を進めていく予定である。

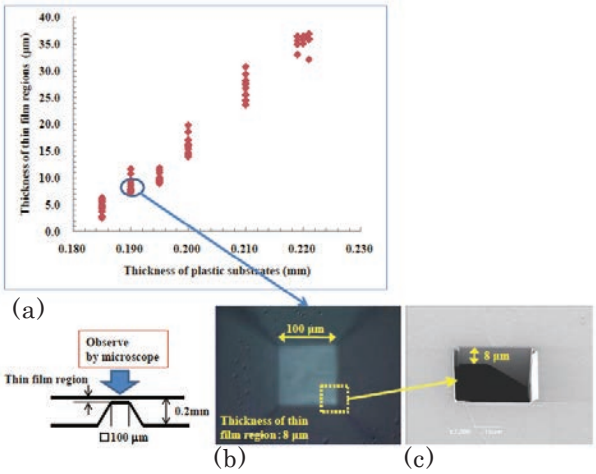


図 2　ホットエンボスによる厚さ 10μm 以下の薄膜部分の成形
(a) 一定荷重で成形を行った時の、プラスチック基板の厚さと薄膜部分の厚さとの関係
(b) 厚さ 10μm 以下の薄膜部分の光学顕微鏡写真
(c) 薄膜部分の一部を FIB で切断後 45° 傾けて撮影した画像

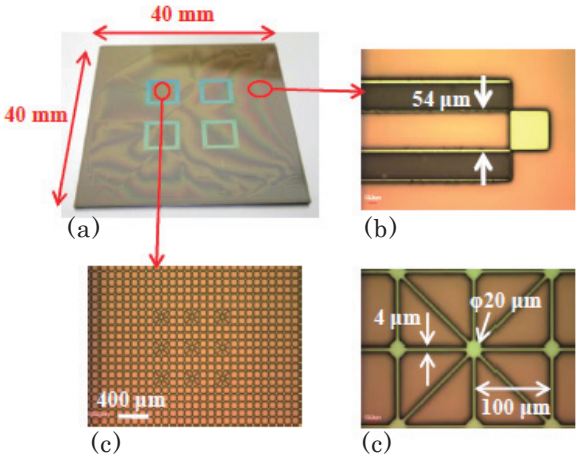


図 3　フォトリソグラフィーによる流路構造の製作
(a) 電鋳用マスターの写真
(b) アライメントマークの光学顕微鏡写真
エッチングによる V 溝部分が黒く見えている
(c) 流路構造の光学顕微鏡写真
レジスト厚さは約 10μm

4. 謝辞

超精密多軸加工機による金型の製作でご協力頂いている理化学研究所 大森整博士、八須洋輔協力技術員、また、ホットエンボス加工および DXL でご協力下さっている産業技術総合研究所 銘苅春隆博士および兵庫県立大学 内海裕一先生、廣瀬義人技術支援員に、紙面を借りてお礼申し上げます。

References

1) Toshifumi Asano, Hidetaka Uno, Koji Shibasaki, Makoto Tominaga and Tsuneo Urisu: Transaction of Materials Research Society, 33 (2008) 767-770.

2) Tsuneo Urisu, Toshifumi Asano, Zhenlong Zhang, Hidetaka Uno, Ryugo Tero, Han Junkyu, Isoda Hiroko, Yusuke Arima, Hiroo Iwata, Koji Shibasaki, Makoto Tominaga: Analytical and Bioanalytical Chemistry, 391 (2008) 2703-2709.

精密 CNC フライス装置Ⅱ号機の製作

近藤聖彦

近年、医療バイオ分野においては、化学エッチングなどの微細加工技術を用いて基板上に形成した微細流路（以後マイクロ流体デバイスと記述する）を使用し、その内部において化学分析や細胞操作などが行われている。この流路幅は数μm から数百μm の範囲内であるが、アスペクト比の大きな流路形状が要求される場合がある。この化学エッチングなどの方法はアスペクト比を大きくすることが困難であり、さらに廃液処理などの問題が発生する。このようなことから、切削によるマイクロ加工が注目を集めている。所内においても、このマイクロ流体デバイス、微細穴加工、微細形状を有する PDMS を製作するための型など様々なマイクロ加工の依頼が急増している。

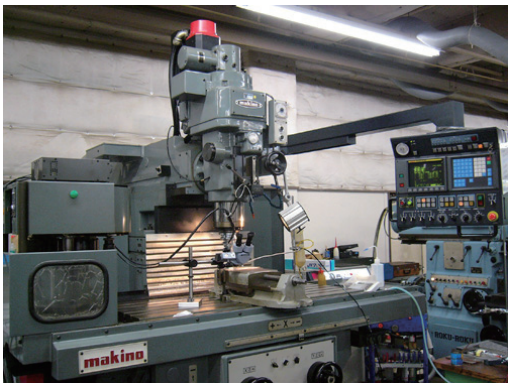


図 1　旧型 NC フライス盤

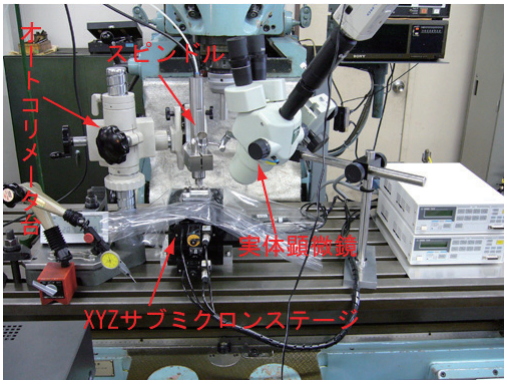


図 2　精密 CNC フライス装置Ⅰ号機

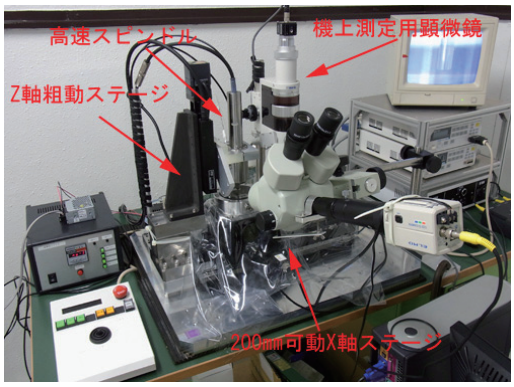


図 3　精密 CNC フライス装置Ⅱ号機

このような背景から、マイクロ加工の挑戦を図 1 に示す旧型 NC フライス盤を使用して数年前から開始している。しかし、この機械では、その挙動などにより加工誤差が生じるため、加工精度を数μm 以内にすることが困難である。また、この機械本体はワークサイズに対して大きく、マイクロ加工には不向きである。このように従来の旧型 NC フライス盤では精密加工に限界があるため、高性能のフライス装置の購入を要求しているが、高価で購入することが難しい。そこで、2008 年に旧型 NC フライス盤よりも加工精度が向上するサブミクロンの位置決め精度を有する XYZ ステージを利用した精密 CNC フライス装置Ⅰ号機（図 2 参照）の製作[1]を行った。このⅠ号機を使用して、マイクロ加工を行いその過程において、いくつかの改良案が出てきた。そこで、Ⅰ号機を改良して、さらに高効率、高精度のマイクロ加工が行えるⅡ号機の製作を行ったので報告する。

Ⅱ号機の製作において、特に重視した 3 つの改良点は（1）位置合わせ精度と加工精度の向上、（2）表面粗さの向上、（3）切削速度の向上である。これらの改良は以下に示す方法で行った。

（1）　Ⅰ号機はスピンドル中心とワーク原点（XY 軸）の位置あわせを目視で行っていたが、ワークの真上から位置が観察できるように機上測定用の顕微鏡を設置し、ワーク原点をより正確に調整できることで、位置合わせ精度を向上させた。これにともない、サブミクロンフィードバック X 軸ステージは可動距離 50 ㎜から 200 ㎜のロングストロークのタイプに交換した。さらに、加工中にワークを取り外すことなく、ワーク形状を測定することが可能になり、加工誤差を補正することで、加工精度を向上させた。

（2）　ラジアル軸受式スピンドルを空気静圧軸受式スピンドルに変更することにより、硬度、耐磨耗性、熱伝導性などの点で非常に優れている単結晶ダイヤモンド工具が使用でき、工具磨耗の減少、工具寿命が長くなり、表面粗さの向上効果が期待できる。

（3）　主軸回転数を 40000rpm から 80000rpm に変更することで、切削速度が 2 倍になること

により、より微小径の工具を使用することができる。

上記３点に加え、汎用のフライス盤のＸテーブルから分離し、卓上で加工できるようにした精密 CNC フライス装置Ⅱ号機を図 3、その仕様を表 1 に示す。一般に、精密加工を行う場合、熱、振動、摩擦の外乱要素を極力排除する工夫が必要となる。熱対策として、Ⅱ号機は空調設備のある部屋に設置し、温度変化を極力小さくしている。振動対策として、防振材の上に設置した。しかし、機械固有の振動など様々な振動が発生することが考えられる。そこで、特に回転運動をするスピンドルの振動をフィールドバランサー（シグマ電子工業製：SB-7700）を使用し測定した。図 4 に示すようにエンドミルを取り付けたスピンドル本体に２つのセンサを直角に設置し、回転数を変化させてその時の振幅を測定した。図５に測定結果を示す。10000rpm 付近で最大１μｍ程度振動し、50000rpm～70000rpm の領域で振動が減少することがわかった。摩擦対策として、サブミクロンフィードバックステージに使用されている LM ガイドに空気を流し摩擦熱の低減を行うなどの方法を考えているが、これについては検討事項である。

今後は、旧型 NC フライス盤との性能比較を行いどの程度性能が向上したかを検証する予定である。

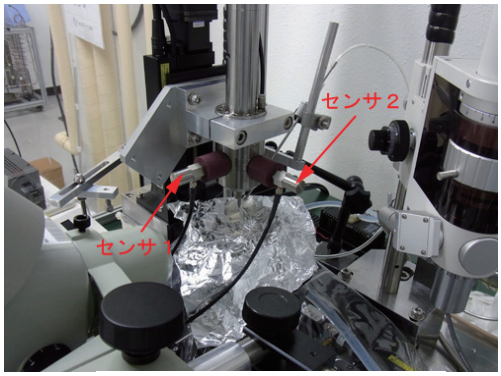


図 4　振動測定の様子

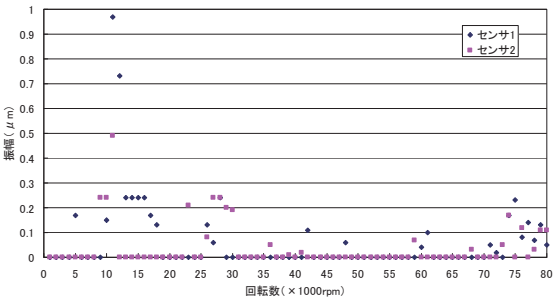


図 5　主軸振動測定結果

表 1　精密 CNC フライス装置Ⅱ号機仕様

ストローク	Ｘ軸	200 mm
	Ｙ軸	50 mm
	Ｚ軸	5 mm
	粗動Ｚ軸	50 mm
分解能	Ｘ軸	0.1μｍ
	Ｙ軸	0.1μｍ
	Ｚ軸	0.1μｍ
最大移動速度	Ｘ軸	20 mm/sec
	Ｙ軸	10 mm/sec
	Ｚ軸	10 mm/sec
駆動モータ	５相ステッピングモータ	
移動ガイド	LM ガイド	
工具回転数	1000～80000rpm	
本体外観寸法	600×500×650 mm	
入力電源	AC100V	

参考文献

[1]近藤聖彦：精密フライス装置の製作,アニュアルレポート 2008,P48

FIB 微細加工装置用回転機構の製作

矢野隆行

1、　はじめに

本課題は、産業技術総合研究所（以下、産総研）との施設利用として採択された課題の一部である。産総研では、半導体製造技術を用いた微細加工技術を模索している。その一つとして、FIB 微細加工装置（エリオニクス：EIP-5400）を用いて光ファイバーなどの円筒表面に螺旋構造を製作するための回転機構が必要となり設計製作を担当することになった。

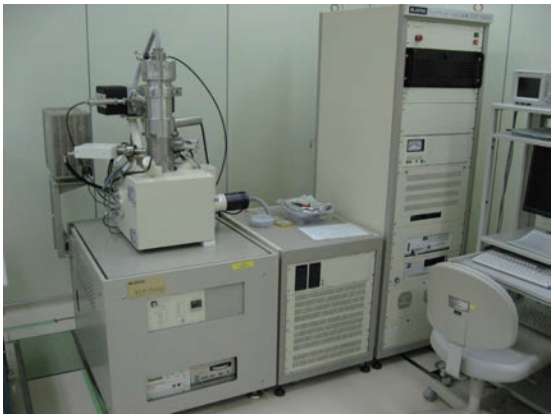


図 1 FIB 微細加工装置

イオン源	Ga 液体金属イオン源
イオン加速電圧	40,30,20,10 kV
ビーム電流強度	2×10^{-12}～1×10^{-7} A
イオンビーム径	Φ30nm～Φ8μm
描画可能領域	X-方向 60mm×Y-方向 60mm
最大装着試料サイズ	φ3インチウェハー試料、または3インチ マスク試料

表 1 FIB 微細加工装置の仕様

2、　回転機構の仕様

今回提案された回転機構の仕様を以下に示す。

表 2　回転機構の要求内容

加工円筒径（光ファイバー）	φ0.2mm
加工有効範囲（軸方向側）	20mm程度
回転機構の全高（台座部分は除く）	30mm程度
回転数	1～2 rpm
留意点	極力振れのないこと

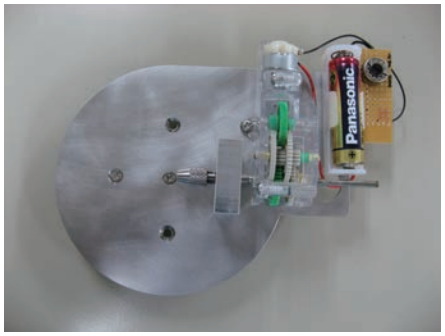


図 2 製作した回転機構

3、　回転機構の構成

回転機構の主要部分には模型メーカーから販売されている 4 速ギヤーボックスセットを利用した。ここで問題になるのが真空中での動作であるが、こちらが所有する真空試験装置により 1.4×10^{-4}Pa までの動作を確認し、実際に螺旋構造を製作する行程は産総研で行った。製作した回転機構を図 2 に示す。

4、　回転機構の問題点

製作した回転機構には、光ファイバーを固定する部分に市販のピンバイスを流用した結果、光ファイバーの回転中心と回転機構本体の中心が一致していなかった。また、回転機構の軸方向への振れが生じているため、単純に光ファイバーが一周した時、加工始点に正確に戻らないということがあった。

5.　回転機構の改良

先の問題解決のため改良を加えた。軸振れの問題に関しては、ギアボックス等の軸固定にボールベアリングを付加し、できる限りの振れを抑えるとともに、光ファイバー固定用コレットをワンチャッキング方式によって製作することで全体の振れを±12μmまで低減した。さらに片持ち梁型の構造により光ファイバーが変形し、振れの原因となるため、線接触による回転ガイドを数パターン用意して検討した。

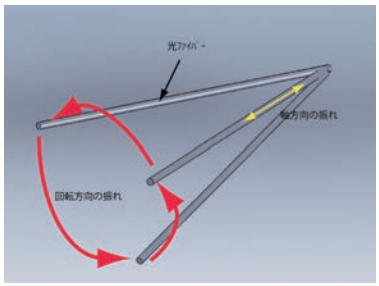


図　3 光ﾌｧｲﾊﾞｰの軸振れ

片持ち型の梁において想定される振れは図3に示すようなものである。そこで回転ガイドの形式として、(1)円形穴型上方保持、(2)円形穴型下方保持、(3)V型上方保持、(4)V型中心保持の4つのパターンについて検討した。具体例を図4に示す。(1)、(2)について加工は比較的容易であるが、(3)、(4)に比べると一か所による線接触となりV型の二カ所による線接触に比べ安定性が問題となるため採用を見送った。また(4)については、回転した時に光ファイバーが軸中心を支点にして太鼓型（縄跳び型）に回転する可能性がある。そこで今回は、(3)V型上方保持を採用した。図5に示すように光ファイバーは多少上向き斜めに保持されることになるが、軸の振れが最も少ない保持方法になると推定されることがその理由である。また斜めになった軸に関しては、FIB微細加工装置側で補正を行うことにした。改良を加えた回転機構を図6に示す。

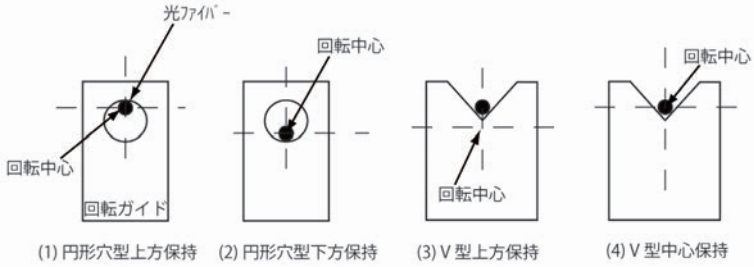


図　4 光ﾌｧｲﾊﾞｰの保持方法

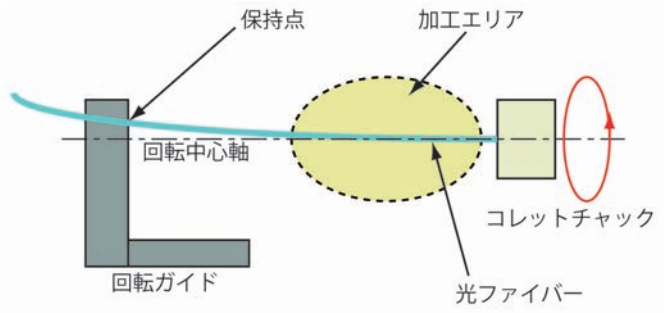


図　5　回転ガイドの設置方法

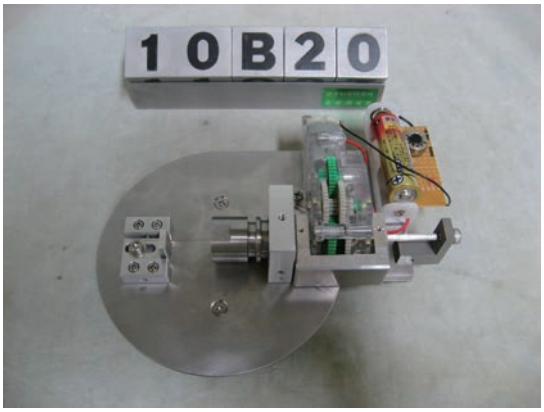


図　6　改良を加えた回転機構

6.　まとめ

今回、光ファイバーの円筒表面に螺旋構造を製作するための回転機構を製作した。初期型の回転機構では軸振れなどの多くの問題があったが、その都度改良することで要求に対応してきており今後もさらなる改良が必要であると考えられる。現在、産総研では改良した回転機構でテスト加工が行われている。

マジックミラーのテスト加工結果について

青山正樹

１．はじめに

UVSOR からの工作依頼によりマジックミラーの製作を行っている。マジックミラーは、線光源である放射光（SR）を１点に集光するための非球面・非対称の集光鏡であり、今回製作するマジックミラーはテラヘルツ SR の集光で利用されるもので 10μｍの形状精度が求められている。ナノ分解能を有する超精密加工機と単結晶ダイヤモンド工具を用いたナノ切削加工を適用すれば比較的容易に達成することが可能な精度であるが、そのような設備を有していないため、既存の一般的な切削加工機による製作を試みている。要求精度を達成するために、機械精度を把握するためのテスト加工および形状精度測定を行った。その結果、使用する機械自身の持つ避けることのできない誤差を十分に把握するとともに、切削過程で生じる様々な誤差を如何に小さくするかが要求精度達成のカギとなることを確認した。

２．テスト加工方法について

加工機には NC フライス盤を使用し、ボールエンドミル工具によるミーリング加工を行った。テスト加工用ワークは 150mm×80mm のアルミ合金 5052 板を用いた。またボールエンドミル工具の回転中心部が切削に関与しないようにするために、15 度の傾斜ステージにワークをネジ固定して加工を行った。図１にテスト加工時の写真を示した。

ボールエンドミルを使用して曲面加工を行う場合の工具経路は、ミラー面形状の座標値から工具半径分だけ補正した軌跡を通る必要がある。そのため各表面座標点における X 方向 Y 方向の傾きを求め、形状表面の法線方向に工具半径分だけオフセットした位置を工具経路とした。座標点は 2mm ピッチで指令し、直線補間により加工を行った。また加工条件は表１に示す。

図１テスト加工写真

表１　加工条件

主軸回転数	1500rpm
送り速度	100mm/min
切り込み量	0.2mm
使用工具	超硬ボールエンドミル R5
ワーク板厚	15mm、75mm

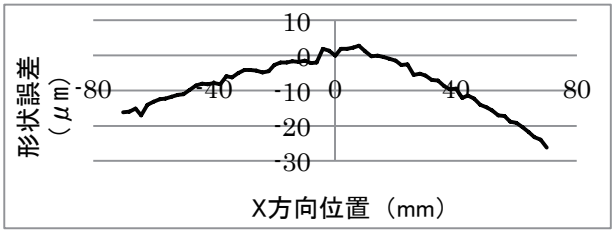
３．加工結果について

加工後の形状精度測定は、レーザープローブ式 3 次元形状測定機（三鷹光機 NH-3SP）を用いて､X 方向 Y 方向それぞれの断面形状測定を行った｡図 2 は X 方向および Y 方向それぞれの、断面形状測定値からミラー表面計算値を引いた形状誤差量として表している。X 方向では約 30μｍの誤差、Y 方向では約 70μｍの誤差と大きな形状誤差が生じた。これは今回使用したワークの板厚が 15mm と比較的薄かったため、ワークをネジ固定したときに生じる歪みに起因しているものと考えられる。そこでワーク板厚を 75mm と厚くして固定時の変形による誤差が発生しないようにして再度テスト加工を行い、機械精度に起因する形状誤差を確認した。図 3 に測定結果を示した。X 方向 Y 方向ともに 10μｍ以内の形状誤差に収まっている。この誤差は、切削過程で生じる誤差も含まれるが、大部分は機械精度に起因する誤差と考えている。また、X 方向の中心付近では 5μｍ程度の段差が生じており、これはステージ送りネジのバックラッシュに起因する誤差であり、凹面形状加工でステージ送り方向が途中で反転するため、避けることが出来ない誤差である。図 4 にテスト加工を行ったワークの外観写真および 3 次元測定結果を示す。

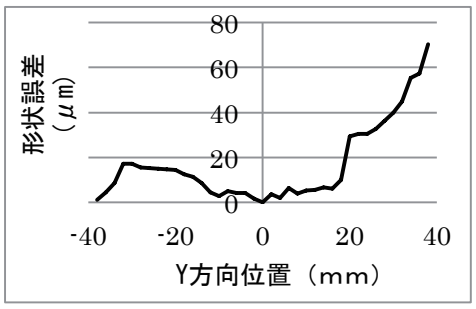
４．おわりに

テスト加工結果から、今回の使用した装置開発室所有の NC フライス盤の機械精度は、5μｍ

～10μm程度であることが分かった。また以前実施した検証から室温1度の変化に対して3μmの機械変動が確認されている。このような熱に起因する誤差や、ワーク固定時の応力、切削反力による工具の撓みおよび材料の残留応力などに起因する誤差を如何に小さくするかが重要である。またバックラッシュの生じない加工方法および加工経路についても現在検討を行っている。これらのテスト加工結果を踏まえ、マジックミラーの製作を進めていく予定である。

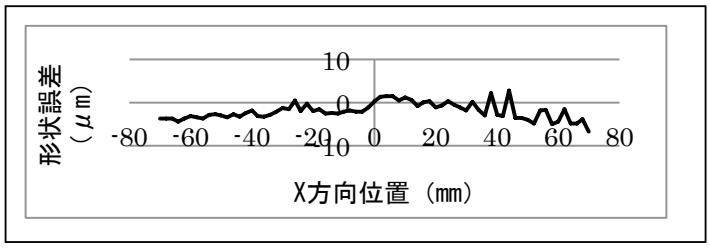


(a) X方向断面形状誤差

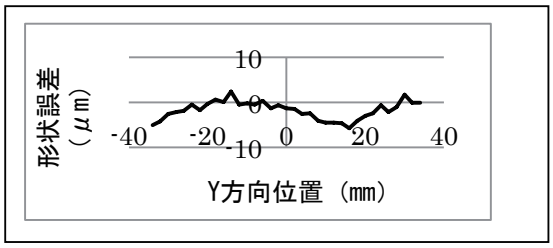


(b) Y方向断面形状誤差

図2　形状精度測定結果

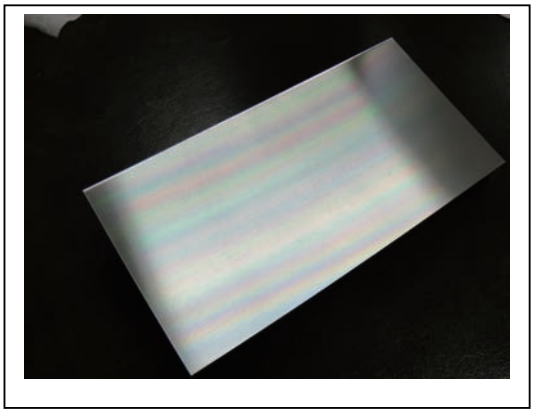


(a) X方向断面形状誤差



(b) Y方向断面形状誤差

図3　板厚75mmワーク形状精度測定結果



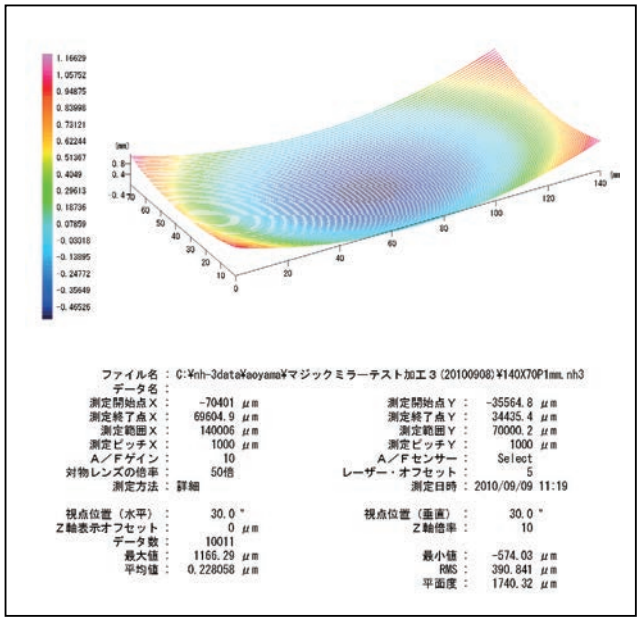


図4テスト加工ワーク外観写真と3次元測定結果

大電流パルス電源の改良

内山功一

はじめに

大電流パルス電源は、4年前に電子構造研究系の中川助教からの依頼により製作されたものである。この装置は、1000μFのコンデンサに電荷をチャージし出力に繋がれたコイルへ瞬間的に放電することでコイル周辺を磁化させるものである。また磁場の極性を反転させるために、コイルへの出力方向の切り替えが可能である。この装置は、これまでにも何度か問題が発生し、その都度対応を行ってきた。今回、大電流パルス電源の改良することになったので、これまでの経緯を合わせて報告する。

改良までの経緯

製作した大電流パルス電源の仕様は、チャージ電圧 500V、出力電流 500A で出力極性が切り替えられる。また、パネルスイッチによる手動操作と、パソコンの DIO からの自動制御を切り替えてられる。最初に発生した問題は、スイッチングに使用しているサイリスタが、何度か使用しているうちに故障するということであった。これは、過大な電流が流れたことによるサイリスタの破壊が起こったと思われる。そこで使用するサイリスタをピーク電流 750A の S6992 からピーク電流 1300A の S6744 へと交換した。電流容量を倍近くに上げてもなお故障が頻発するため、コイルへ流れる電流を計算し直してみた。すると想定していた数倍もの電流がコイルに流れていることがわかった。使用されていたサイリスタではこの電流量に耐えられないため、定格が 5500A のサイリスタモジュールに交換することとなった。これにより問題無く動作していたが、今年になって再度故障したとの連絡を受けた。

大電流パルス電源の改良

今回サイリスタが故障した原因としては、サージアブソーバーとしての保護ダイオードが挿入されていなかったことによるものである。これにより瞬間的にコイルへ流れた電流に対して逆起電力により生じた過大な電流がサイリスタの定格を超えたために破壊されたと考えられる。故障したサイリスタモジュールは、4台使用している内の1台であったため交換部品を手配しようとしたが、すでに生産中止となっていた。そのまま置き換え可能な代替品もあったが、受注生産であり 10 個単位での発注しか受け付けないとのことだった。また、使用しているサイリスタは高価であり、1 個交換するために 10 個ものモジュールを購入するのはコスト面で折り合いがつかない。そのため、スイッチング部を他の方式へ変更することを検討した。スイッチング部分の改良前と改良後の回路図を示す。向かって左側がこれまでのスイッチング段、右側が改良後のスイッチング段である。これまでのスイッチング方式は、4個のサイリスタで構成される。図中の Plus Trigger が入力されると 2 個のサイリスタがオンになり、コイルへ右向きに電流が流れる。Minus Trigger が入力されると他方のサイリスタがオンとなり、左向きに電流が流れる。この図のサイリスタを右図のようにリレーに置き換えを行った。この構成から図右側に記すようなサイリスタ 1 台でスイッチングを行う方式へ変更を行った。手順としては、電流を流す経路にある DC 高容量リレーに変更し、事前に電流の流れる経路を

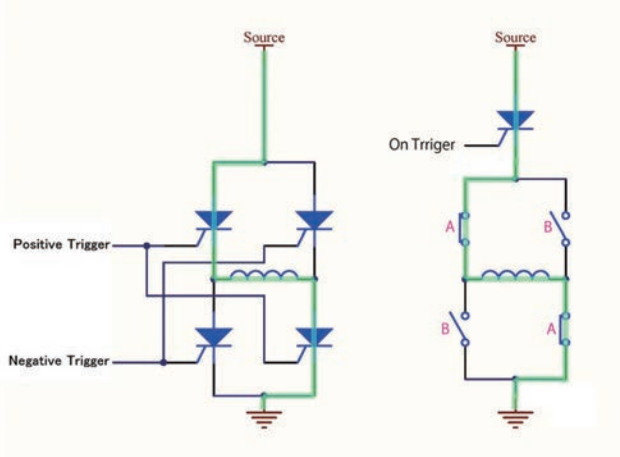


図 1. スイッチング部

繋いでおき、サイリスタのスイッチング動作によりコイルへ電流を流すように変更を行った。完成した大電流パルス電源の写真を示す。写真 2 のむかって左側がスイッチング部で、リレーとサイリスタモジュール、コンデンサが実装されている。右側には電源と基板が実装されている。基板は 2 階層になっており、下段が制御用基板、上段がリレー駆動用トランジスタと放電抵抗となっている。

写真 1．装置外観

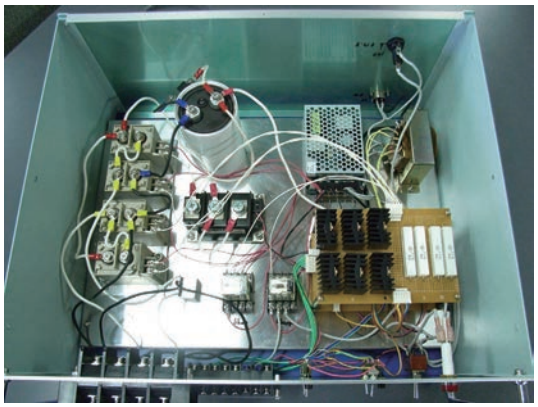


写真 2．装置内部

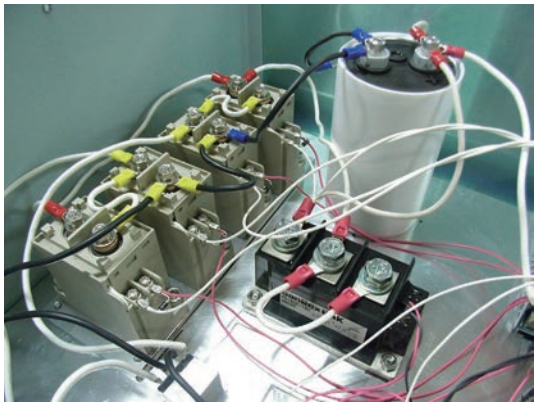


写真 3．スイッチング部

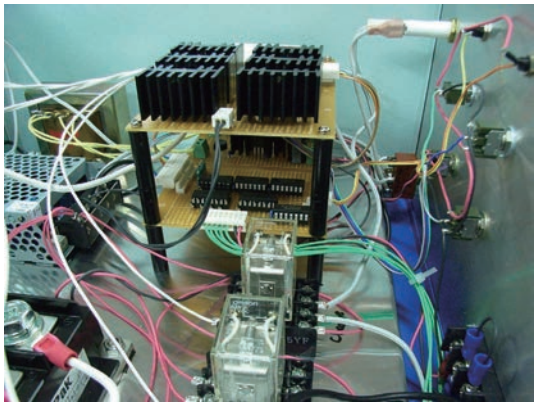


写真 4．制御部

まとめ

従来の半導体式と比べ、接点の磨耗などにより寿命のある機械式リレーに変更せざるを得なかったが、不測の事態による故障等を考慮すると今回の方式に変更したメリットは十分にあると思われる。ちなみに本装置は、現在安定稼動を行っていると報告されている。

2010 年　工作依頼リスト

装置開発室の業務に所内からの依頼による装置製作がある。機械、電子回路、ガラスの各グループが2010 年 1 月から 12 月までに受けた工作依頼のリストを以下に掲載する。リストは工作依頼書に記入された品名と管理のための伝票番号のみの記載とした。

このリストにあるすべての依頼製作品には記録写真があり保管されている。本レポートにすべての物を掲載できないが、抜粋し［写真］と付記された依頼品名について後のページに掲載した。また、17 年度より開始した「施設利用」による依頼工作には伝票番号に＊印を付けている。

機械グループ（352 件）

伝票番号	品名
10A01	プラスティック基板加工
10A02	ペイントシェーカー用部品
10A03	レーザー加工サンプルホルダー
10A04	高速モーター用アダプタ
10A05	メッシュ電極他
10A06	サファイアプレートの切断加工
10A07	バイオセンサー電極部品修正加工
10A08	クライオスタット固定治具他
10A09	パッケージ台
10A10	サンプルホルダー一式
10A11	溶液移送用ステンレス管加工
10A12	対物レンズ変換アダプタ
10A13	配管ポート
10A14	セラミック加工
10A15	プラグ型レーザーモジュール Ver.3
10A16	Q スイッチレーザーモジュール M07 新
10A17	ヒートシンク
10A18	LN2 トラップ［写真］
10A19	Mount Adapter
10B01	FRAC 一式
10B02	アルミニウム板
10B03	バイオチェンバー改良
10B04	バイオチェンバー改良
10B05	シリコンバックグラインディング操作指導
10B06	5% CO2 恒温槽
10B07	ペイントシェーカー用ミル缶
10B08	CLM-70/70-150ST 対応回転導入周辺部品
10B09	He ランプ部品改修
10B10	NMR 部品加工［写真］
10B11	温度センサー用固定ねじ
10B12	ICF152 フランジ取手
10B13	FIB 加工用サンプルホルダー
10B14	レーザー筐体 Ver.4.0
10B15	1/4 管付き ICF70 両面フランジ
10B16	セルホルダー
10B17	ブレッドボード用スペーサー
10B18	接続ソケット
10B19	分子ビーム発生装置用マニピュレータの開発［写真］
10B20 ＊	ナノイオンビーム加工装置用回転機構の開発
10B21	JIS-NW フランジ溶接
10B22	PIN-PD ハウジング
10B23	プラグ型モジュール Ver.3 の改良型製作
10B24	Q スイッチレーザーモジュール用結晶ホルダーの製作
10B25	空冷エッジ励起小型モジュールの市販温調器とのアダプター及びスタンドの製作
10B26	顕微ユニット支持台
10B27	フィルター支持台
10B28	溶液用 EXAFS セル修理
10B29	920M.NMR プローブ改良
10B30	ステンレスキャヌラ
10B31	BL5U 用角度分解テストピース
10B32	IR ケンビ用 Mirror スペーサー
10B33	Sapphire Cutting
10B34 ＊	テフロン反応容器
10B35	蛍光装置排液口のアダプター
10B36	ヒーター固定アダプタ、PD ハウジング
10C01	キャパシター
10C02	ヒートシンクカバー
10C03	NMR プローブ改良、ヒーター固定部
10C04	結晶ホルダー
10C05	PDMS 用おもり
10C06	920M プローブロッド支え板
10C07	おもり
10C08	プローブカバー［写真］
10C09	Flange
10C10	イオン検出電極ロッド
10C11	7BM0 冷却配管部品
10C12	カウンターロッド
10C13	イオン検出電極
10C14	保管用チャンバー固定架台
10C15	おもり
10C16	ステージ用ミラーマウント他
10C17	ガイドブロック
10C18	サンプルホルダーセット A
10C19	サンプルホルダーセット B
10C20	ゲージプロテクター
10C21	差動排気付き窓 ICF70
10C22	おもり
10C23	ねじ止め工作
10C24	変換フランジの加工
10D01	キャビティースペーサー
10D02	ICF114 フランジカバー
10D03	試料支持台
10D04	29mm サドルコイルの開発［写真］
10D05	BL5U 用ラディエーションシールド加工
10D06	UHV チャンバー用支柱
10D07	BIG ボロメーター用ジグ
10D08	遮蔽足加工
10D09	CCD 保護治具
10D10	固定用金具
10D11	真空ラインの改造
10D12	サンプルカバー 07
10D13	おもり

10D14	アダプタープレート
10D15	フィルターホルダー、固定台
10D16	光電子装置架台部品
10D17	イオン検出電極
10D18	アルミニウム板
10D19	補助光学台
10D20	液体窒素トラップ
10D21	ミラーマウント用リング
10D22	金蒸着用マスク（四角）
10D23	サンプルホルダセット
10D24	おもり
10D25 ＊	反応容器上蓋及び可動重し板
10D26	恒温槽台座
10D27	レーザ Ver.4 モデル
10E01	In-situ 空間分解 XAFS セル
10E02	クライオスタット用サンプル台
10E03	ホルダーセット
10E04	PDMS 取付用ホルダー
10E05	テフロン容器□ 20
10E06	重り
10E07	XAFS セル
10E08	結晶ホルダー
10E09	PD ハウジング（T0-5
10E10	BL7U 用ホルダー
10E11	UVSOR BL5U 用ホルダー
10E12	LD ホルダー
10E13	試料支持台
10E14	マジックミラーのテスト加工
10E15	磁場コイルジグ
10E16	トリガー取付け、土台修理
10E17	フォトダイオードのガラス窓外し
10E18	サンプルホルダー一式
10E19	調整部品加工
10E20	ガスノズル他
10E21	ブレッドボード
10E22	フライトチューブ入口周辺電極位置変更
10E23	しきい電子分析器部品改修
10E24	多点点火用レーザーモジュール
10E25	ICF70 窓付き
10E26	蒸着源
10E27	イオン検出電極
10F01	アルミフレーム上置棚
10F02	コリメーター
10F03	絶縁端子台
10F04	フランジなど
10F05	ドーナツ
10F06	ミラーホルダー追加工２種
10F07	ターボポンプ支持台一式
10F08	ステージ治具
10F09	ミラーホルダー追加工
10F10	ホルダーセット
10F11	ブレッドボード固定用タップ穴
10F12	フォトダイオードボックス
10F13	モリブデン板
10F14	サンプルホルダー追加工
10F15	ピペットパッチクランプ部品
10F16	４ch バイオセンサーチャンバー
10F17	恒温槽チャンバ［写真］

10F18	蒸着源改造
10F19	サンプルホルダ
10F20	ICF152 フランジ端子溶接
10F21	ATR 溶液交換用プレート
10F22	TMAH エッチングホルダー
10F23	１ch バイオセンサーチャンバー
10F24	電極板研磨用治具
10F25	ねじ口ガラス管用栓おさえ
10F26	VG200-ISO200 変換フランジ
10F27	アルミパイプ（50.4?）
10F28	対物レンズアダプター
10F29	クライオスタット支持台
10F30	Mo セット
10F31	Photo mask cap
10F32	NMR 治具追加工
10F33	角形ミラー用マウント
10F34	寸切りボルト用台座
10F35	検出器ホルダー
10F36	アダプタ（164-5）
10F37	パッチクランプ
10F38	オミクロンフォルダーアタッチメント
10F39	MBE 用部品一式
10F40	マイクロデバイス固定枠
10F41	水晶振動子ホルダー
10G01	分光器用遮光ダクト
10G02	ミラーマウント用台
10G03	サンプルホルダー一式
10G04	Sheet 加工
10G05	移動ステージ用台座
10G06	バイオセンサーアース電極
10G07	レーザー調整部修理
10G08	移動ステージ上ミラーマウント固定プレート(小)
10G09	移動ステージ上ミラーマウント固定プレート
10G10	NMR パイプガイド
10G11	TMAH エッチングホルダー
10G12	Cell manipulator parts
10G13	移動ステージ用マウント（小）
10G14	電子分光装置アナライザ部用 TMP 固定部品
10G15	ミラーマウント台座修正
10G16	バイオセンサー台座
10G17	電極支持部品 Ver.2（下側）
10G18	Mo 台
10G19	レンズホルダー
10G20	金膜蒸着用マスク（円形Φ 15
10G21 ＊	分光用一軸試料ステージ
10G22	シエンタ用 μ メタル部品穴径改修
10G23	ボビン
10G24	顕微鏡台座
10G25	ミラーマウント用台座（細）
10G26	ステージ上ミラーマウント用プレート修正
10G27	ビューポートねじ部修理
10G28	真鍮製台座
10G29	ICF305-253 変換フランジ
10G30	フィルター支持台
10G31	台座（アルミ角パイプ加工）
10G32	レーザー光導入プローブ
10G33	３点発光レーザーシステムの設計試作
10G34	スペーサー

2010 年　工作依頼リスト

10G35	Knife Edge 部品
10H01	針置き
10H02	ミラーホルダーアルマイト処理
10H03	光学台への穴あけ（インチねじ）
10H04	真鍮製ヒンジ
10H05	冷却用サンプルステージ
10H06	He 放電管保護カバー
10H07	レーザーステージ改良
10H08	試料支持台
10H09	EO サンプリングシステム部品一式
10H10	アルミニウム板
10H11	輻射シールド用窓
10H12	光学部品一式
10H13	Mo 台
10H14	クライオスタット用ウィンドウ板止め
10H15	クライオスタット用ウィンドウ用テフロンリング
10H16 ＊	新型アイリス機構の開発 FIB 加工用 回転セルホルダーの改良
10H17	パルスガスセル
10H18	ノズル取付用フランジ他
10H19	顕微鏡台改良
10H20	移動ステージ用固定プレート
10H21	ミラーマウント用台座
10H22	イオンチャンネルバイオセンサー上蓋
10I01	He 放電管周辺部品改修 - 差動排気 -
10I02	Sic/Yb:YAG heat sink
10I03	エンボス装置用真空チャックアダプター
10I04	ATR-STF 用部品一式
10I05	高速溶液混合装置
10I06	水晶振動子ホルダー
10I07	固体レーザー接続台
10I08 ＊	テフロン製ろ過受器
10I09	サンプルホルダー
10I10	接続ソケット
10I11	ポーリング台 11
10I12	プレート［写真］
10I13	ガスセル用ピンホール
10I14	レトロリフレクターホルダー
10I15	ULVAC 膜厚計
10I16	アイソレーター支持台
10I17	試料支持台
10I18	920M.NMR トランスファーチューブ支持台［写真］
10I19	ブランクフランジ
10I20	大容量電流挿入端子接続治具
10I21	RS Adapter
10I22	NW40 可視化配管
10I23	レーザーモジュール組立調整工具一式
10I24	ICF70 ポートカメラホルダー
10I25	Mo/Ta のカット
10I26	バイオセンサー台座
10I27	蛍光 XAFS 測定セル
10I28	パッチクランプ部品
10I29	スリット ICF70
10I30	３点発光レーザーシステム Ver.2
10I31	真空内仕切板
10I32	真鍮台座追加工

10I33	ICF70 クロス管のエッジ修理
10I34	マジックハンド改造
10J01	PDMS（鋳型）
10J02	ステージ
10J03	デュアーコネクタ 1
10J04	XAFS セル
10J05	準備層支持架台
10J06	He 放電管周辺部品改修（追加）シャフト
10J07	ペイントシェーカー用部品、部品改修
10J08	BL7U 用サンプルバンク、 BL7U 用プレップフィンガー
10J09	大容量電流導入端子接続治具 2
10J10	Sic/Ndyvo4 holder
10J11	プレート
10J12	SNOM 用試料板
10J13	一回反射 ATR セル用反応チャンバー、 フローチャネル
10J14	コネクター
10J15	試料加熱台、BL7U フォルダー
10J16	波長板固定ホルダー
10J17	フィルター支持台
10J18	パルス磁場用コイル
10J19	レンズホルダーの製作
10J20	治具など
10J21	クライオスタット用高さ調節台（下部分）
10J22	ICF70Flange 再溶接
10J23	ISO フランジ変換ニップル
10J24	サンプルステージ
10J25	PMMA 基板おさえと PMMA 基板カット
10J26	BL1B 用マジックミラー
10J27	架台追加工
10J28	パワートランジスタ取付用ヒートシンク
10J29	CW ノズル
10J30	パイプ支持金具
10J31	ポール段つぎ部品
10J32	ファイバーレーザー支持台
10J33	Fiber holder
10J34	VCR グランド溶接
10J35	ICF114 フランジ両面エッジ加工
10J36	モーターステージ用マウント
10K01	角度分解デバイス
10K02	加熱ステージ
10K03	イオン偏向板（グラウンド側）固定穴変更
10K04	ガラス切削用ステージ
10K05	ATR 用反応チャンバー加工
10K06	台座
10K07	ATR 反応チャンバー加工
10K08	アルミ製角型真空チャンバー
10K09	マスクアライナー用台座
10K10	アルカリメタル蒸着源
10K11	ICF253 フランジ両面エッジ加工
10K12	結晶ホルダー
10K13	グランド溶接
10K14	窓付きフランジ NW40
10K15	アダプタープレート
10K16	アダプタ
10K17	温調器固定具＋ケース加工
10K18	M8-95 スタッドボルト

10K19	マジックハンド改良
10K20	ビームガード
10K21	ステンレス円板加工
10K22	19 インチオープンラック用部品
10K23	準備槽小物一式
10K24	イモネジ
10K25	アクリルテーパー
10K26	XMCD 加熱ステージ
10K27	フラーレン保管用チャンバー用追加部品
10K28	台座用プレート
10K29	固定金具
10K30	ピエゾステージ用プレート
10L01	サンプルカバー
10L02	PMT アダプタ、C マウントアダプタ
10L03	水路 blocker
10L04	NMR プローブ用特殊ネジ
10L05	イオン偏向板部品改修
10L06	顕微鏡台座
10L07	ショート Z 軸ステージ
10L08	Mo 製電極パイプ
10L09	プローブ部品
10L10	LD 用治具
10L11	結晶ホルダー
10L12	Lithography Stage
10L13	装置固定具
10L14	クライオスタット ST-420 修理
10L15	分光器窓用フランジ
10L16	ショート Z 軸ステージ
10L17	Electro chemical Cells
10L18	PMMA 基板金蒸着マスク
10L19	BL7U サンプルホルダー一式
10L20	入射用短管
10L21	テフロンスペーサー

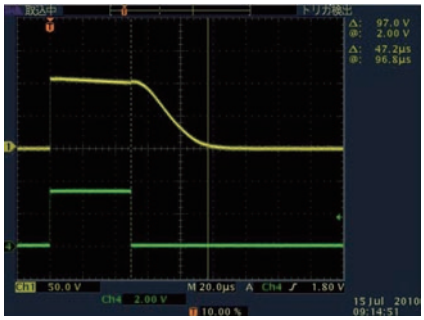
電子回路グループ（20 件）

伝票番号	品名
10A01	地磁気キャンセル装置
10A02	オルテック モデル 449-2 オーディオ修理
10B01	高電圧パルサーの改造
10F01	ヒックマン油拡散ポンプ電熱線修理及び延長
10F02	大電流パルス電源改良
10F03	機器遠隔管理装置の IP アドレス設定変更
10F04	高圧パルサー ［写真］
10F05	バルブインターロック
10H01	反転回路
10H02	チャージモニター ［写真］
10H03	ペルチェ素子温度コントローラ ［写真］
10H04	圧力計センサ＆出力装置の修理
10I01	露光装置バックライトプレート
10I02	オートコリレータ用発振器 ［写真］
10I03	太陽電池用アクションスペクトル測定プログラム
10I04	パッチクランプ増幅器用 バイアス・コマンド発生回路
10J01	PMT 用制御電源 ［写真］
10K01	温度コントローラ
10K02 ＊	走査型トンネル顕微鏡用電流電圧変換回路 ［写真］
10K03	電源プラグ修理

ガラス加工グループ（10 件）

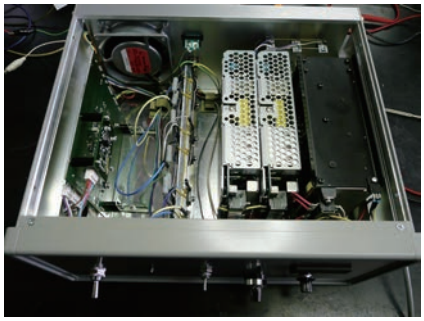
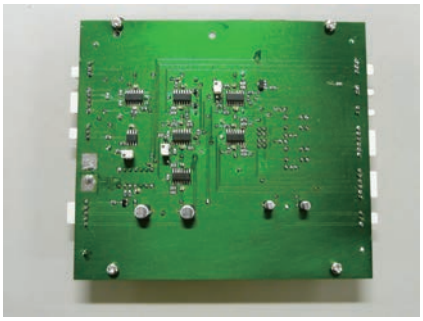
伝票番号	品名
10B01	石英コーン試作
10C01	コバール修理
10C02	丸板
10E01	培養フラスコ加工
10G01	石英ボート
10G02	竹の子セル
10G03	石英サンプル管
10J01	ガラス継手
10J02	修理石英
10K01	真空ゲージ加工

3KV 可変高圧パルサー



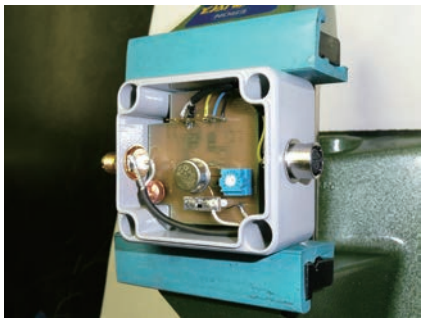
BEHLKE 製高圧スイッチ・モジュールを使用した高圧パルサー
パルス幅 = 入力トリガー信号 (TTL,50 Ω) のパルス幅

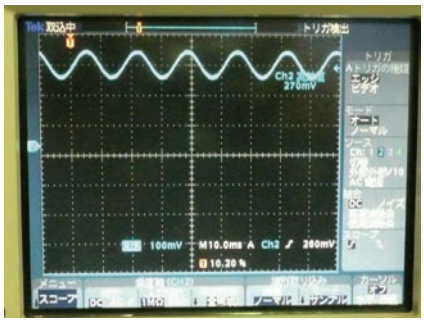
ペルチェ素子温度コントローラ

K 熱電対を温度センサに用いた PID 温度制御回路
温度制御範囲 :0~70℃ , 温度精度 : ± 0.1℃

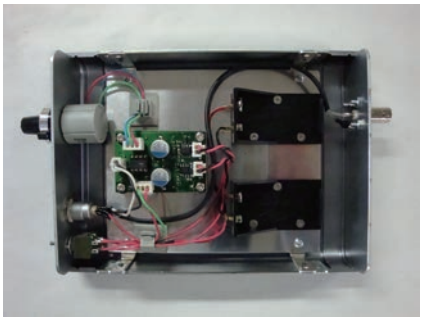
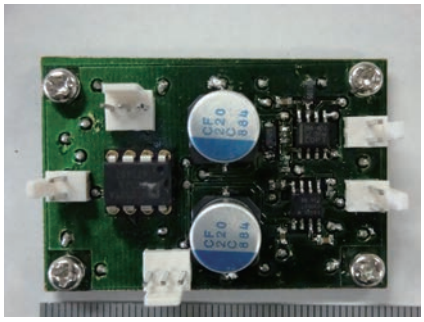
走査型トンネル電子顕微鏡用電流電圧変換回路





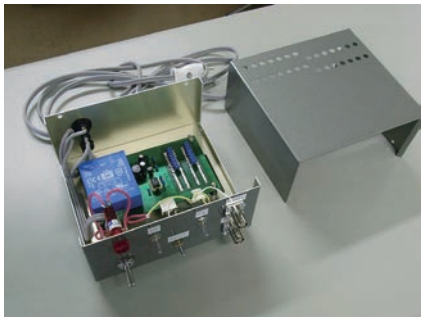
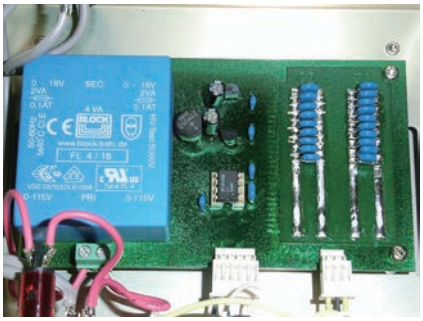
数 pA~0.1nA のトンネル電流を電圧値に変換
10mV ／ pA (帰還抵抗 1G Ω時)

PMT 制御用電源

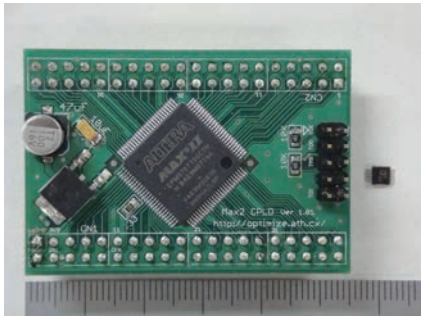
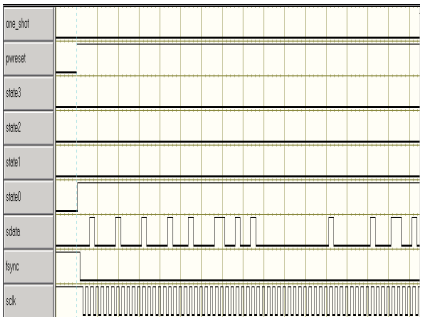
PMT(フォトマル) コントロール電圧 0.5V ～ 1.1V と駆動電源 ±5V を
006P 型乾電池から生成して出力する
006P 型乾電池 2 個で約 4 日程度連続使用可能　消費電流 2787 μ A(typ)

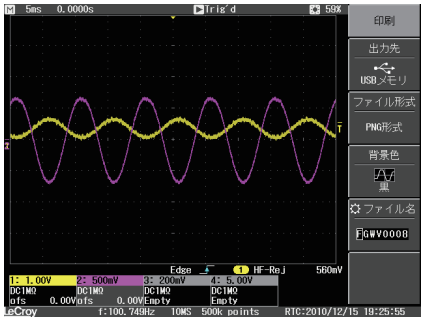
チャージモニター

入力段のキャパシターで入力電流をモニタする回路
モニター用コンデンサの容量を 1 μ F、10 μ F、20 μ F の 3 段階で可変
入力電流によるコンデンサへの充電量をコンパレータで検知し出力

オートコリレータ用発振器



DDS(Direct Digital Synthesizer)IC と EPM570T100C5N(CPLD) を用いた
レーザーシステム調整用発振器
周波数設定、スイッチのチャタリング除去などのロジック回路を CPLD に集約し
60MHz 以上の高速シリアルデータ転送を実現

（詳細記事 28 ページ掲載）

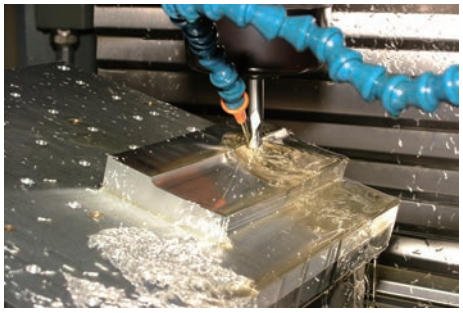
LN$_2$ トラップ

真空内のサンプルを冷却するため液体窒素が 1 L 貯蔵できるステンレス製のトラップを製作

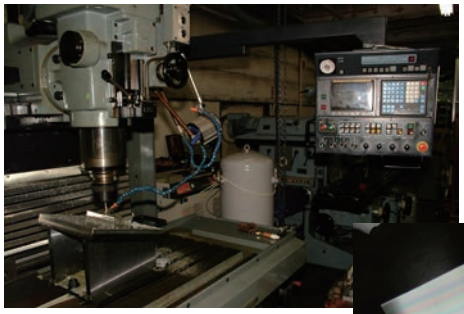
施設利用（大阪大学）

分子速度選別用ディスクの位置を微調整するためのマニピュレータを既存の Z 軸ステージを再調整して製作

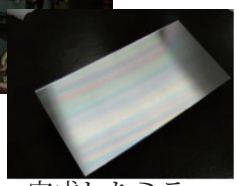
マジックミラーのテスト加工



テラヘルツ放射光の集光用ミラー
10 μ m の形状精度が求められた

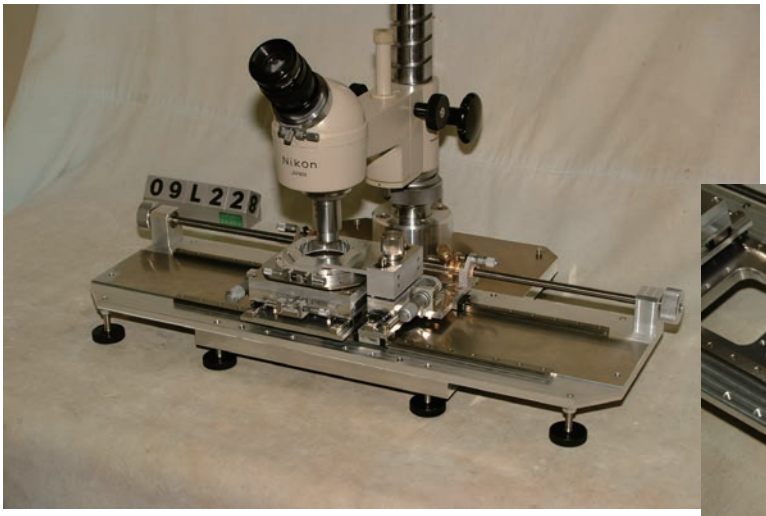


（詳細記事 38 ページ掲載）



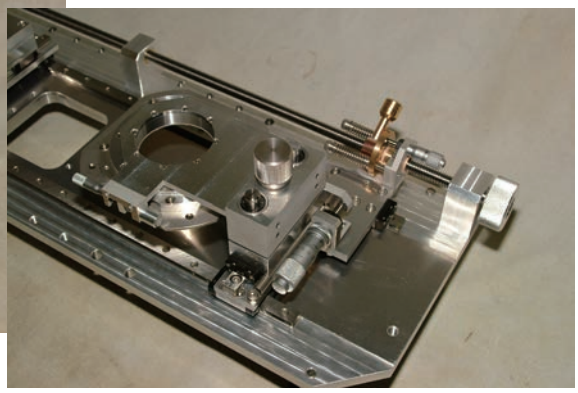
＜完成したミラー＞

LIGA プロセス位置合わせ技術開発



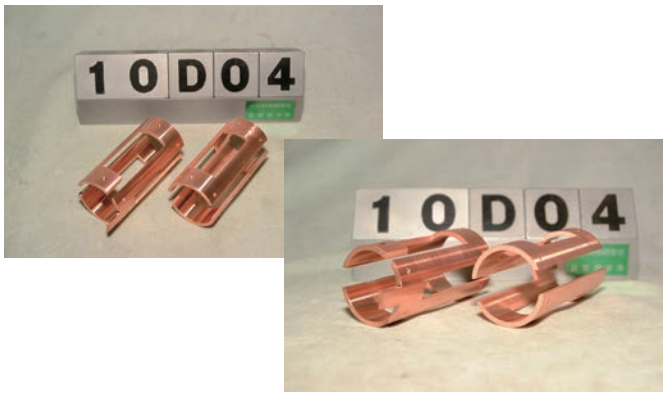
多チャンネルバイオセンサーと LIGA プロセス用マスクの位置合わせステージを製作
（小型分解可搬型）

＜ステージ部分＞



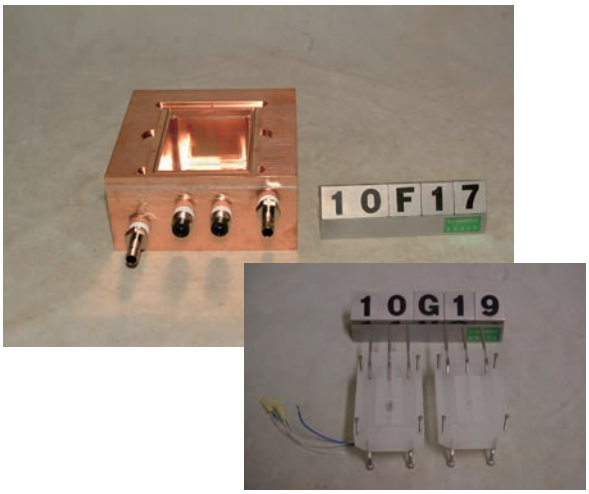
X-Y- θ ステージと X-Y-Z- θ ステージの組み合わせで、10 μ m レベルの位置合わせを目指す

施設利用（神戸大学）



29mm サドルコイルの開発
当初セラミックと銅線で製作していたサドルコイルを銅の円筒から一筆書きで連結できるような形状に加工し変更した。

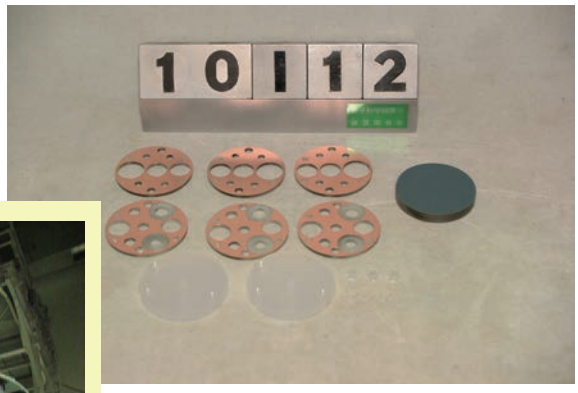
恒温槽とチャンバの製作



細胞培養用の恒温槽（上）と
細胞培養用チャンバ（右下）

NMR 関連部品

NMR 用部品加工



プレート

920MHz 核磁気共鳴装置

プローブカバー

トランスファーチューブ支持台

（詳細記事 31 ページ掲載）

技術課セミナー

「最先端ナノ加工・ナノエレクトロニクス技術開発と応用」

吉田久史

装置開発室では、平成 22 年 3 月 26 日に岡崎コンファレンスセンターにおいて技術課セミナーを開催した。本セミナーは、分子科学の先端的な研究を支援する上で必要となる超精密加工技術や集積回路技術についてより深い理解や知見を得ることとこの分野のネットワークを構築することを目的に行われた。「最先端ナノ加工･ナノエレクトロニクス技術開発と応用」というテーマで 9 名の研究者や技術者の方々を講師としてお招きし、先端的な研究や技術開発の動向、その応用事例などについてご講演して頂いた。セミナーのポスターおよびプログラムを下記に示す。研究会の参加者は、国立天文台、高エネルギー加速器研究機構、核融合科学研究所、名古屋大学からの技術職員に加え、岡崎商工会議所を通じて近隣の民間企業からも参加があり全体で 40 名程となった。研究会終了後は懇親会を開催し、講演についての質疑や情報交換を行って参加者との交流を深めた。

「最先端ナノ加工・ナノエレクトロニクス技術開発と応用」
研究会プログラム

平成 22 年 3 月 26 日(金)　　OCC 小会議室

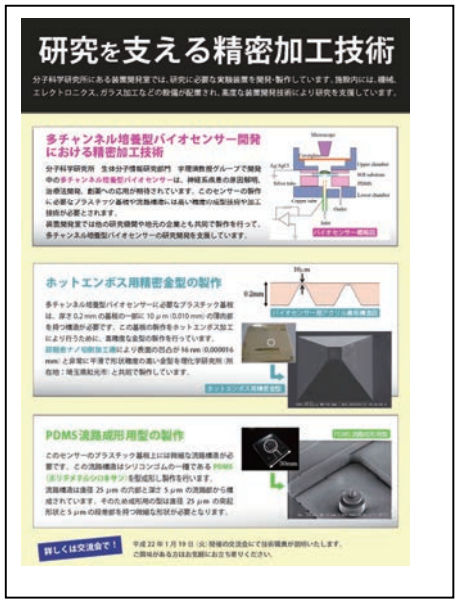
12:00 ―	受　付	
12:50 ― 13:00	開会の挨拶	宇理須恒雄（分子科学研究所）
13:00 ― 13:40	特別講演	岩田　穆（株式会社エイアールテック） 「生体機能情報センシングと集積回路技術」
13:40 ― 14:10	講　演	澤田和明（豊橋技術科学大学） 「LSI とバイオ・農業センサデバイス融合技術」
14:10 ― 14:40	講　演	芳賀洋一（東北大学） 「マイクロテクノロジーを用いた次世代低侵襲医療機器の開発」
14:40 ― 15:00	休　憩	
15:00 ― 15:40	基調講演	大森　整（理化学研究所） 「ナノプレシジョン・マイクロメカニカルファブリケーション」
15:40 ― 16:10	講　演	松浦直樹（株式会社樹研工業） 「ナノ精度機械加工の現状と未来」
16:10 ― 16:40	講　演	梶田泰一（名古屋大学） 「ニューロモデユレーション療法の現状と将来」
16:40 ― 17:00	休憩	
17:00 ― 17:30	講　演	中郷直樹（株式会社イケックス工業） 「電鋳加工の新分野への応用」
17:30 ― 18:00	講　演	銘苅春隆（産業技術総合研究所） 「超音波振動を利用した室温ナノインプリント」
18:00 ― 18:30	講　演	内海裕一（兵庫県立大学） 「３次元マイクロ構造体の実装と流体システムへの応用」
18:30 ―	閉会の挨拶	鈴井光一（分子科学研究所）

18:40 ― 20:30　懇親会　　OCC 中会議室

第 2 回ものづくり岡崎フェア 2010 への出展

青山正樹

装置開発室では、先進的な研究をものづくりの立場から支援する組織として、研究を支えるものづくり技術の紹介を様々な機会に行っている。22 年 1 月 8 日から 19 日に松坂屋岡崎店で開催されたコミュニティサテライトオフィスに、22 年 7 月 8 日、9 日には岡崎商工会議所・岡崎ものづくり推進協議会主催、第 2 回ものづくり岡崎フェアー2010 にパネル展示を行った。ものづくり岡崎フェアーは、岡崎市近郊のものづくり関連の企業・大学など 80 社近くが出展し 3 年ごとに開催される。装置開発室は第 1 回開催に引き続き参加させて頂いた。今回は現在装置開発室で取り組んでいるバイオセンサーの製作に関連する精密加工技術の紹介を中心にパネル展示を行った。当日は装置開発室の技術に興味を持った多くの企業関係者の方々との交流を持つことが出来、大変貴重な経験となった。



スーパーサイエンスハイスクール（SSH）部への技術協力

矢野隆行

以前にも装置開発室では、岡崎高等学校スーパーサイエンスハイスクール部（以下、SSH部）の活動に対して技術的なサポートを行ってきた。今回は三井造船技報[1]の中に紹介されている『分割型吸収式造波機を用いて水面に波で文字を描く技術』を基にして造波機を使った研究をしてみたいとの要望があり、実験装置の製作に関してサポートすることになった。

今回製作する実験装置の一つである造波機は船舶や土木の分野で海洋波を再現するために開発されたもので、今まで分割型造波機を用いた水槽は数多く製作されてきた。今回参考にした実験装置は、三井造船昭和島研究所が分割型吸収式造波機のアミューズメント分野での利用及び造波技術の高度化を目的として、平成13年度から大阪大学大学院船舶海洋工学科と共同研究してきたものである。実験装置は、50機の分割型吸収式造波機を円形に並べた直径1.6m、水深0.3mの小型円形波浪水槽でAMOEBA(Advanced Multiple Organized Experimental Basin: アメーバ（図1）)と呼ばれている。このAMOEBAを構成する分割型吸収式造波機は、プランジャー、ボイスコイルモーター（V.C.M）変位系から構成されている。しかしながら造波機に関する知識が装置開発室になかったため、依頼者とともに造波機の共同研究に関わっていた大阪大学に出向きアドバイスをいただくことにした。これらのことを踏まえ、造波機の形状は製作のしやすさや予算を考慮し、図2に

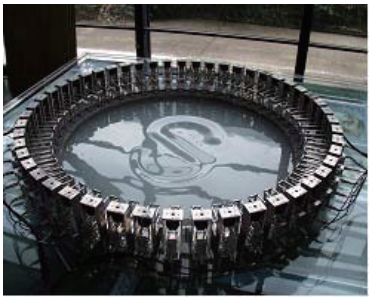


図 1　AMOEBA

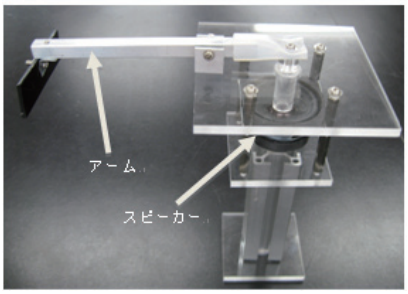


図 2　造波機本体

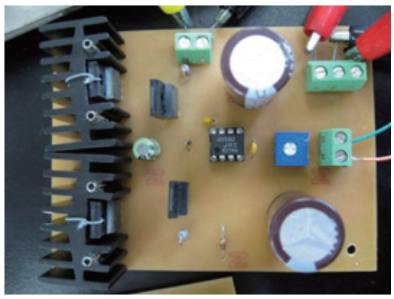


図 3　造波機制御回路

示すようなものにした。また造波機の制御は、発信波をサイン波にするのかパルス波にするのか検討が必要であったため独自に回路を製作して考察しパルス波タイプを選択した。（図3）

ここでSSHに協力する際の問題点を挙げておきたい。その一つは装置を製作する上で、どこまで深く関わるかという点である。実験装置を製作する上でどの程度アドバイスしてよいかは高校生の高校生らしい柔軟なアイディアを壊してしまう危険性があり非常に悩む点である。使用する材料についても日常使用しているものをうまく利用するのか、それとも金属や樹脂で一から削りだして作っていくのか、このあたりも考える余地がある。要望をクリアするには当然、予算的な制約もある。限りある予算の中でまかなう場合、あらかじめこちらが予備的な製作を実施するのか、それとも直接高校生にゼロから作ってもらうのか。予備的な製作をする場合、その費用を装置開発室の運営交付金でまかなうのが本当に適当であるのかどうか。「研究所の一部署」としてSSHに協力しているので研究所にも金銭的な面で何らかのサポートをしていただけると非常にありがたい。

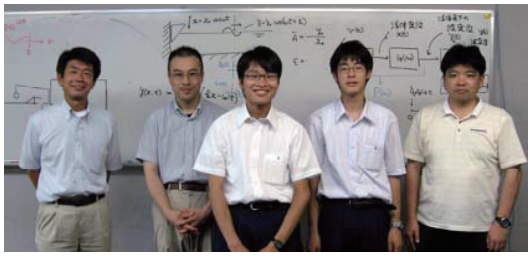


写真 1　大阪大学にて

1　三井造船技報 No.188(2006-6)

LSI 設計技術習得にむけて

内山功一

はじめに

装置開発室エレクトロニクスセクションでは、将来構想として大規模集積回路（LSI）設計手法の習得を掲げている。我々は昨年度より、この目標を実現するための準備を行ってきた。今年度、当初の目標である CMOS プロセスによるアナログ IC の試作設計までを行うことができた。そこでここまでの経緯を含めて報告する。

LSI 設計のための準備

LSI 設計を行うにあたって、半導体設計及びプロセスに関する知識を得るための勉強会を週一回のペースで行った。これは昨年の 11 月から開始し、現在も継続している。LSI の設計、試作については東京大学の大規模集積システム設計教育研究センター（VLSI Design and Education Center、以下 VDEC）を利用することとした。VDEC 提供の設計ツールは、基本的に Linux（UNIX）上で動作するため、LSI 設計環境として専用の Linux マシンを用意しセットアップを行った。エレクトロニクスセクションスタッフは、普段 Windows マシンしか使用していなかったため Linux には慣れておらず、設計環境構築に手間取ることもあった。また CMOS アナログ LSI 設計の流れを学ぶため、VDEC 主催の「VDEC 環境におけるトランジスタレベル設計講習会」にも参加した。昨年度までに以上の準備を行った。

集積回路技術講習会

半導体プロセスについて深く学ぶため、今年の 7 月 26 日～31 日の 6 日間、豊橋技術科学大学にて行われた第 30 回集積回路技術講習会に参加した。参加者は例年 20 名前後のところ、今年は 6 名で内 2 名が分子研からの参加であった。受講した講習会は日程が 1 週間であるため、製造に数ヶ月を必要とする複雑な CMOS プロセスではなく NMOS プロセスで実習が行われた。講習会のほとんどの時間は LSI プロセスの実習作業に当てられている。実習で製作するチップは TEG（Test Element Group）と呼ばれるものに相当し、通常 LSI チップの特性評価に用いられる素子郡である。製作した TEG の内容は、EMOS（エンハンスメント型 MOSFET）、DMOS（デプレッション型 MOSFET）、E/DMOS インバータ評価回路、31 段リングオシレータ、4 ビットカウンター、ポリシリコン・n+拡散抵抗評価素子、C-V 特性測定用 MOS ダイオードとなっている。NMOS プロセスの実習で行う作業は、主にフォトリソグラフィによるマスクパターンの生成である。それ以外の酸化膜生成、イオン拡散、アルミ配線蒸着等の工程は、すでにセッティングされた装置にて行うため装置にウェハを入れる以外は、ほとんどが説明を受けるのみであった。講義は、半導体デバイスの基礎、MOS 集積回路の基礎と製造技術、最新の集積回路技術について受講した。また短い時間であったが、Cadence のツールを使用した CAD 講習も行われた。完成したチップは全て正しく動作し、特性のよいものが得られた。今回は参加者が少なく時間に余裕があったため、チップをパッケージ化する際に行うボンディング作業の体験を行うことができた。

写真 1　講習の様子

写真 2　クリーンルーム内での作業

また、最終日に今回製作したチップを IC パッケージにボンディングしたものを持ち帰ることができた。今回の講習会に参加し、実習を行うことで LSI プロセスへの理解が深まった。

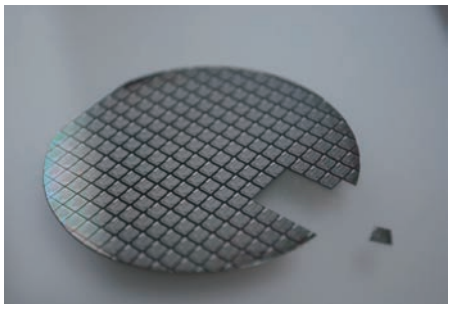


写真 3　製作した集積回路（ウェハ）

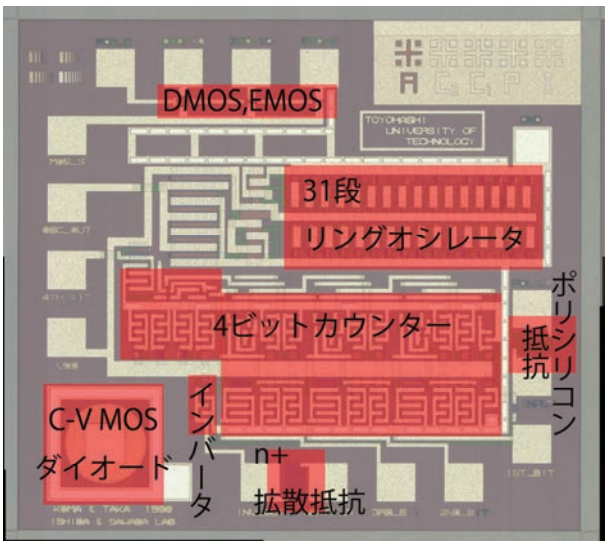


写真 4　製作した集積回路（チップ拡大）

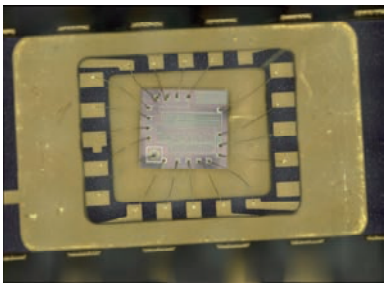


写真 5　IC パッケージ

CMOS アナログ回路試作設計

本年度の所長奨励研究費を利用して CMOS アナログ回路の試作を行った。今回試作する LSI は、3 種類の差動入力オペアンプを複数個実装することとなった。3 種類のオペアンプは利得がそれぞれ 20dB、40dB、60dB として設計を行った。最初に設計したオペアンプの基本回路を図 1 に示す。それぞれの利得に合わせて最適化を行いトランジスタパラメータの設定を行った。設計したオペアンプをチップにレイアウトする際、入出力とボンディングパッドとの間に ESD 対策を施した I/O を入れる必要がある。この I/O は、チップを静電破壊から守るために必ず入れる必要がある。そこでチップレイアウト前に I/O 段を追加し、この状態で再度シミュレーションを行った。シミュレーションの結果、オペアンプの帯域幅が 2 桁も下がっていることが確認された。入出力に接続した I/O に使われている ESD 対策用保護回路はクランプダイオードで構成されている。このクランプダイオードが大きな容量性負荷となっているため、これを考慮せずに最適化処理を行ったことが原因と考えられる。対策としてオペアンプの出力に増幅段を追加し、この状態でサイド最適化処理を行った。増幅段を追加した回路図を図 2 に示す。ここから、I/O 段を接続して最終的なシミュレーションを行いどれだけ影響があるかを検証した。図 3 に I/O 段接続前と後のシミュレーション結果を示す。I/O の無い状態でのシミュレーション結果と I/O を接続した結果を比較すると、20dB で 100MHz から 27MHz、40dB で 980KHz から 918KHz、60dB で 130KHz から 124KHz となった。40dB、60dB に比べて 20dB は明らかに大きな帯域の低下が見られる。容量性負荷の

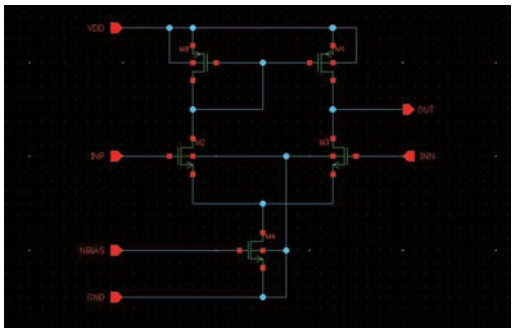


図 1　差動入力オペアンプ回路図

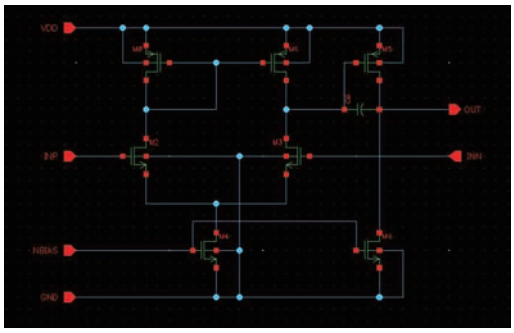
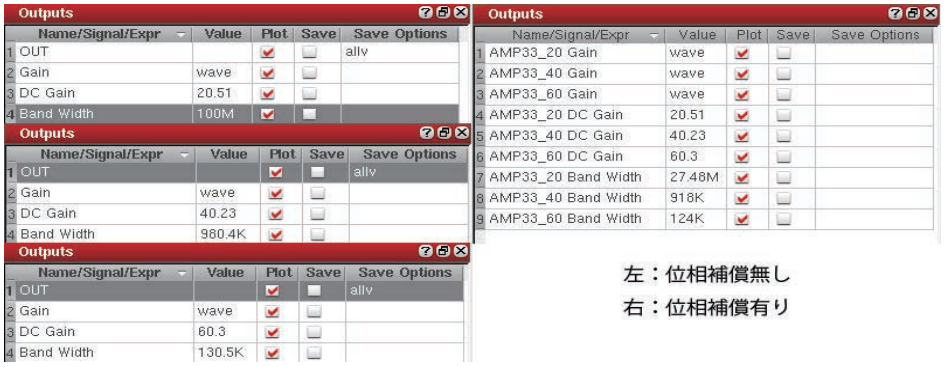


図 2　増幅段付オペアンプ回路図

見積もりが甘く、20dB の条件では増幅段に十分なドライブ能力がなかったことがわかる。しかし、この時点で締め切りまでの時間があまり残されていなかったため、これ以上の最適化処理を諦めチップのレイアウトを行うことにした。



Outputs

	Name/Signal/Expr	Value	Plot	Save	Save Options
1	OUT		✓		allv
2	Gain	wave	✓		
3	DC Gain	20.51	✓		
4	Band Width	100M	✓		

Outputs

	Name/Signal/Expr	Value	Plot	Save	Save Options
1	OUT		✓		allv
2	Gain	wave	✓		
3	DC Gain	40.23	✓		
4	Band Width	980.4K	✓		

Outputs

	Name/Signal/Expr	Value	Plot	Save	Save Options
1	OUT		✓		allv
2	Gain	wave	✓		
3	DC Gain	60.3	✓		
4	Band Width	130.5K	✓		

Outputs

	Name/Signal/Expr	Value	Plot	Save	Save Options
1	AMP33_20 Gain	wave	✓		
2	AMP33_40 Gain	wave	✓		
3	AMP33_60 Gain	wave	✓		
4	AMP33_20 DC Gain	20.51	✓		
5	AMP33_40 DC Gain	40.23	✓		
6	AMP33_60 DC Gain	60.3	✓		
7	AMP33_20 Band Width	27.48M	✓		
8	AMP33_40 Band Width	918K	✓		
9	AMP33_60 Band Width	124K	✓		

左：位相補償無し
右：位相補償有り

図 3　シミュレーション結果

図 4 に 20dB オペアンプのレイアウト図を示す。向かって左側がオペアンプを構成するトランジスタ、右側に 50 個並んでいる四角が位相補償用コンデンサである。他のオペアンプもトランジスタサイズが異なるだけで、同様のレイアウトとなっているため割愛する。各オペアンプのレイアウト作業後、LVS と DRC にてチェックを行う。LVS は Logic vs. Schematic の略で、回路図とレイアウトの整合性のチェックを行う。DRC は Design Rule Check の略で、レイアウトがデザインルールに則っているかのチェックを行う。この段階で何度もエラーが発生し、修正を行った。すぐにわかるエラーだけではなく、エラー原因の特定が難しいものもあった。その都度設計ルールを調べ、ルールファイルを解析しながら該当箇所の修正を行ったため、この段階でかなりの時間を費やすこととなった。

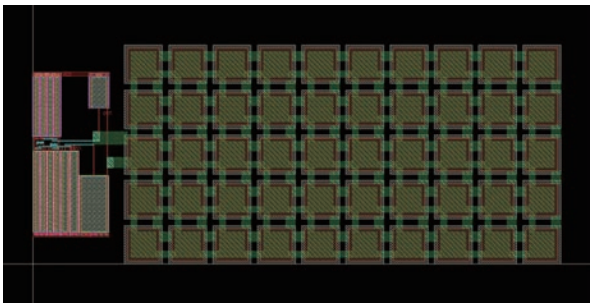


図 4　オペアンプレイアウト図

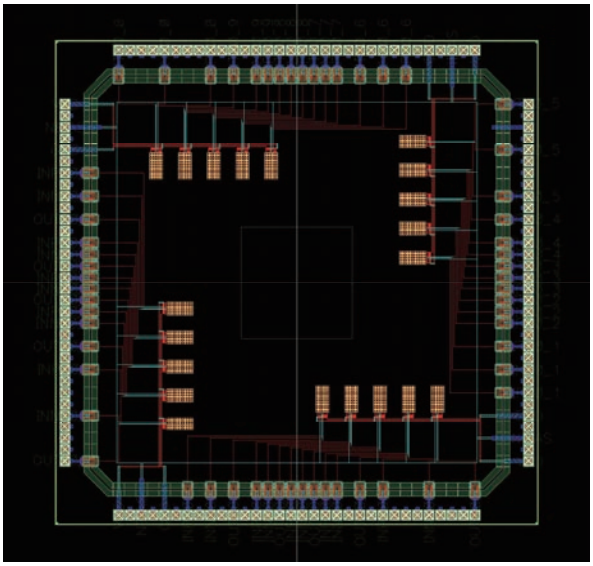


図 5　チップレイアウト図

最終的なチップレイアウトを図 5 に示す。チップレイアウトの外周にボンディングパッドが並び、その内側に電源ラインが配置されている。図の中央、上下左右に 5 組ずつ並んでいるのがオペアンプで、先程の電源ライン上に配置された I/O を通してボンディングパッドに接続されている。オペアンプは向かって下側に 20dB が 5 個、左側に 40dB が 5 個、残りの 10 個が 60dB となっている。この状態で再度 LVS、DRC によるチェックを行い、エラーが無いことを確認する。エラーが無くなった状態で、メタル密度ルールに従いダミーメタルを配置して試作データの完成となる。

残念ながら LSI の完成予定が 2 月中旬であるため、原稿執筆時点では評価テストが行えない状態である。今回の LSI 試作により設計作業で必要とされるツールのオペレートを一通り理解することができた。今後は、試作チップの性能評価試験、プロセスルールの再検討、次期試作チップの準備を順次行っていく予定である。

平成 21 年度　文部科学省科学研究費補助金　奨励研究の進捗報告(2)

豊田朋範

はじめに

昨年度に引き続き、文部科学省科学研究費補助金奨励研究(以下「奨励研究」)に採択された研究課題の進捗などについて報告する。なお、今年度は昨年度の補助金の残額を繰り越して研究課題を遂行した。

1.研究課題と開発方針

平成 21 年度奨励研究に採択された研究課題名並びに開発方針を総括する。研究目的については Annual Report 2009 の p42 を参照されたい。

1-1.研究課題

研究課題名：「金属錯体結晶生成用定電流定電圧電源の開発」

1-2.開発方針の変更

研究者との意見交換や打ち合わせで、建物の電気容量の不足によるブレーカー遮断や落雷などによる瞬時停電が、半月以上の時間を要する結晶生成において電気的衝撃による結晶破損の危険性をもたらすことが判明した。また、当初は USB で PC と接続して制御する方針であったが、消費電力が多い PC を CCCV 電源の制御に用いるのは前述の瞬時停電に伴うリスクを考慮すると好ましくないと判断した。そこで、低消費電力駆動を基本コンセプトと位置付けて以下のように開発方針を変更した。

(1) AC フリー環境を実現するため、電池から駆動用電源を生成して CCCV 電源に供給するためのバッテリー電源回路を開発する。

(2) CCCV 電源の制御や結晶生成の電気的条件の記録は、消費電力が少なくかつ USB メモリなど外部記録媒体を扱えるマイコンで行う。

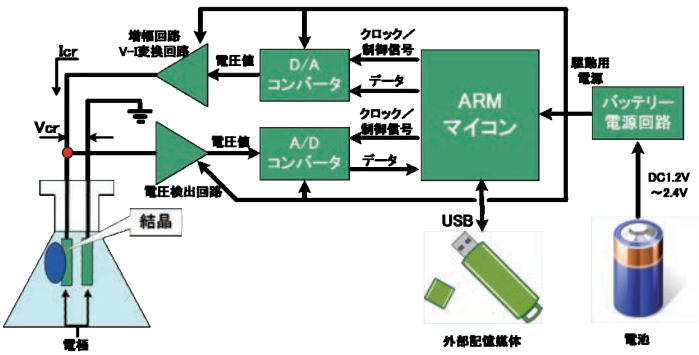


図 1：開発中の CCCV 電源のブロック図

この開発方針に基づく CCCV 電源のブロック図を図 1 に示す。

2.今年度の進捗

2-1.バッテリー電源回路の開発

昨年度もバッテリー電源回路を開発したが、消費電流が約 1.5mA とやや大きく、バッテリーで駆動するには不安がある。この課題を解決するため、改めてバッテリー電源回路を開発した(写真 1)。

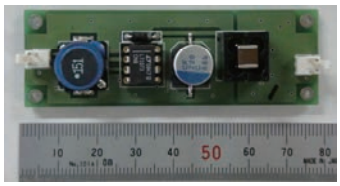


写真 1：改訂版バッテリー電源回路

昨年度開発の回路は±12V 出力であるのに対してこの回路は単電源出力のみであるが、(1)最小駆動電圧は 1.0V(2)抵抗の組み合わせによって出力電圧を 3.0V～

24V まで設定できる(3)消費電流は約 130 μA(4)部品点数が少なく実装が比較的容易ーの 4 点で前回のものより優れている。また、2 回路の出力端子をカスケード接続することで両極電源としても使用できる。バッテリー電源回路の仕様比較を表 1 に示す。

表 1：バッテリー電源回路の新旧比較表

	昨年度	今年度
入力電圧	1.2V～15V	1.0V~15V
出力電圧	最大±34V	3.0V~24V
出力電流	最大 400mA	標準 400mA
消費電流	最大 1.5mA (定常時)	最大 130μA (定常時)

2-2.定電流回路の開発

昨年度に引き続き回路シミュレータ LTspice で解析を行ったところ、出力をほぼ電源電圧まで取り出せる Rail-to-Rail 型 OP アンプを使うことで定電流回路の単電源動作が可能であると判明した。前述のバッテリー電源回路は正電圧のみの出力なのは、このためである。

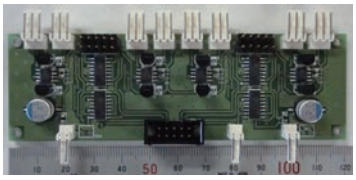


写真 2：新型 8 チャンネル定電流回路

今回開発した 8 チャンネル定電流回路を写真 2 に、仕様比較を表 2 に示す。駆動には定電流回路を駆動するための 12V 電源の他に、電流の出力先を切り替えるアナログスイッチ IC を駆動するための 5V 電源を必要とする。

1 チャンネルあたりの最大出力電流は抵抗によって設定できる。この回路の消費電流は 1 チャンネルあたりの出力電流を 25μA とすると約 700μA であり、1900mAh の単 3 型ニッケル水素電池で約 113 日間連続駆動できる。

表 2：8 チャンネル定電流回路の新旧比較表

	従来	新型
電源電圧	±15V、+12V	+12V、+5V
出力電流	0～25μA(設定可)	0～25μA(設定可)
静止時の消費電流	最大 31200μA	最大 500μA
アクティブ時の消費電流	最大 31400μA (25μA×8 出力時)	最大 700μA (25μA×8 出力時)
基板サイズ	101.4mm×61.4mm (突起部含まず)	119mm×38mm (突起部含まず)

3.今後の構想

CCCV 電源の基礎である定電流回路と駆動用電源回路が出そろった。結晶生成に製作した電源回路のスイッチングノイズの影響がないことを確認するため、実際に結晶を生成・評価する予定である。

今年度はバッテリー電源回路と定電流回路の開発に注力したため、制御用マイコンの開発はあまり進んでいない。今後はこちらの開発にも注力したい。

謝辞

本研究は平成 21 年度文部科学省科学研究費補助金奨励研究(課題番号 21920016)の助成を受けて行われたものである。また、本研究を推進するにあたり、京都大学大学院理学研究科の北川宏教授と東京大学大学院工学研究科の鹿野田一司教授と宮川和也助教にご指導いただき、重要な指針をいただきました。この場を借りて厚く御礼申し上げます。

中国との研究交流

高田　紀子

3月10日（水）～12日（金）、宇理須先生から声をかけて頂き、鈴井技術課長、宇理須先生と交流の深い京都大学 再生医科学研究所 加藤准教授、ナノメディスン国際シンポジウム 事務局長 松岡氏と共に、中国での研究交流に同行させて頂いた。昨年は、同じ装置開発室の豊田氏が南京と上海へ同行しており、今年は北京へ行くこととなった。

1日目は、北京大学 神経科学研究所のWang Yunという女性の教授を訪問した（図1）。始め実験室を一通り案内して下さり、その後、それぞれの研究紹介を行った。Wang Yun教授は神経細胞を使ってパーキンソン病の研究をしており、また、途中から同行下さったDehua Chuiという男性の教授は、アルツハイマーの原因を発症する前の段階から探るため、細胞膜の代謝異常の研究を行っているとのことだった。

2日目は、中国科学院化学研究所のLi-Jun Wan教授を訪問した（図2）。中国科学院化学研究所は、物理、高分子、有機、分析等、幅広い分野の基礎研究を行っている機関で、今回の研究交流には、Li-Jun Wan教授以外にも4人の教授の方々が参加して下さった。中国科学科学研究所の紹介を受けた後、お互いに研究内容の紹介を行い、昼食後、実験室を案内して下さった。研究紹介では、抗がん剤の機能解析などの紹介があった。

3日目は、精華大学のYandao Gong教授を訪問した（図3, 4）。ここでも同様に研究紹介を行ったが、数名の学生も来て熱心にメモをとったり質問をしたりしていたことが特に印象的だった。実験室も案内して頂いたが、ここでは、Labolatory on a chipや免疫アッセイ用のチップ、その他にも様々な細胞用チップが展示してあった。

これらの中国との交流を通して、バイオメディカルに関する研究が中国でも盛んに行われており、それらに対しておそらくバイオチップは重要なツールであることと、英会話の重要さを実感した。また、中国の研究者達、特に学生の研究に対する姿勢が印象的だった。

最後に、このような機会を与えて下さった宇理須先生に紙面を借りて感謝申し上げます。

図1　北京大学 集合写真

図2　中国科学院化学研究所
研究紹介の様子

図3　精華大学 研究紹介の様子

図4　精華大学 集合写真

VDEC　EDA 環境におけるデジタル設計手法　講習会

豊田朋範

平成 22 年 9 月 8 日～9 日に表題の講習会が VDEC(東京大学大規模集積システム設計教育研究センター)で開催され、豊田、吉田の 2 名が受講した。昨年度と同様、受講者の殆どは学生と思われる若年層であった。

講習会は、ローム社の 0.18μm プロセス向け京都大学ライブラリを用いたディジタル LSI の設計フローに従って、LSI を試作するための基礎知識を学習することを目的に開催された。そのため、ハードウェア記述言語の 1 つである Verilog-HDL による RTL 記述に始まり、論理シミュレーション、論理合成、自動配置配線、LVS/DRC 検証、実際に VDEC 試作サービスに提出できるレイアウトデータを作成するまでの一連の過程が 2 日間の日程に凝縮された内容であった。

筆者は Verilog-HDL の使用経験があるため RTL 記述は比較的容易であったが、その後の論理シミュレーションは通常だと GUI(Graphical User Interface)で入出力波形を視認しながら行うところを、コンソールに長いパスを伴うコマンドを入力し、生成されたログファイルから情報を読み取らなければならなかった。論理合成も通常だと GUI のアイコンをクリックすれば全自動で行い、エラーも詳細に表示されるが、今回用いた Synopsys 社の Design Compiler ではやはり長いパスを伴うコマンドを入力して、無味乾燥なログファイルから情報を読み取らなければならず、論理合成が完了するまでに時間を要した。

自動配線には Synopsys 社の IC Compiler、LVS/DRC 検証には Mentor Graphics 社の Calibre を用いた。これらのツールはエレクトロニクスセクションで昨年度導入した VDEC 環境用ワークステーションでも使用できるようになったが、筆者はそれらの使用経験がまだ浅い。また、論理シミュレーションや論理合成より多少 GUI を用いる機会が多かったとはいえ、基本はパスを含むコマンドをひたすらコンソールに入力することとログファイルからの情報抽出であったため、講師の丁寧な指導があっても講習時間内にテキストに沿って進捗させるのが精いっぱいであった。

昨年度に引き続き VDEC 主催の講習会を受講して、アナログ回路とディジタル回路の両方で VDEC 試作サービスにデータを提出するまでの一連のフローを体験した。その結果、アナログ回路設計では Artist/Composer による回路図入力、ディジタル回路では Verilog-HDL 若しくは VHDL(シミュレーションが必須であるためシミュレーション記述がしやすい Verilog-HDL の方が VDEC 環境との親和性が高いと感じる)による RTL 記述と回路設計のアプローチは異なるが、開発ツールと有志が開発・提供するライブラリを十分活用することと、試作サービスを提供する半導体メーカーのデザインルールを念頭に置くことが肝要であることが分かった。また、開発ツールが提供する GUI は補助程度の位置付けで、基本はコンソールへのコマンド入力の繰り返しであることから、日ごろ慣れ親しんでいる Windows 環境からの切り替えと Linux 環境との親和が必要であることも再認識した。

今年度は内山氏が初めて VDEC 環境でレイアウトデータを作成し、試作サービスにデータを提出したことで、カスタム LSI 製作への大きな一歩が踏み出された(別項参照)。今後は VDEC 試作サービスを定期的に活用しつつ、分子科学の動向を俯瞰して製作する LSI の方向性を見定めていきたい。

本講習会受講のための旅費は、平成 22 年度大峯所長奨励研究費の助成を受けた。この場を借りて御礼申し上げます。

高松宣輝技術推進委員が装置開発室に残してくれたもの

本来この冊子は、装置開発室の一年間の活動報告や技術報告をするべきものではありますが、その装置開発室に大きく貢献していただいた人物について書かせていただくことをお許しください。

2010年11月16日、装置開発室の技術推進委員である高松宣輝氏がお亡くなりになりました。高松氏は2001年6月1日に装置開発室に採用されてからおよそ10年間製作担当として数多くの実験機器の開発に従事していただきました。特に旋盤作業は自身が旋盤作業者機械加工(普通旋盤作業)1級の腕前でその技術は、分子研内部の研究者が使用する実験機器をはじめ、施設利用で製作を行った九州大学の多くのクライオスタットや神戸大学との気体NMR装置のイオン捕捉用の銅メッシュ保持基盤など、高松氏だからこそ完成できた、あるいは完成の時期が早まったものも少なくありません。また製作者側から見た設計をする上でのアドバイスも数多くいただきました。さらに工作室の利用者に対しては、積極的なサポートをしていただきました。

それ以外にも、技術課が行っている技術職員の研修制度にも数多く協力していただき、後進の指導に貢献していただきました。高松氏が我々に残されたものを大切にしてこれからも分子科学研究に、さらには日本のものづくりに貢献していけるよう装置開発室職員一同邁進していきます。

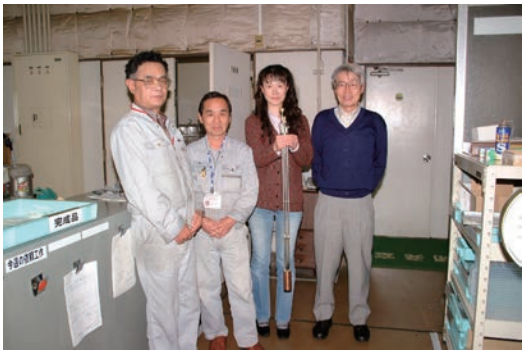


写真 1　九州大学山内先生・池田先生と記念撮影（左から 2 番目高松氏）

写真 2　京都大学馬場先生と記念撮影（中央　高松氏）

写真 3　フライス加工指導中の高松氏

写真 4　技術職員研修を終え北海道大学藤田技術職員と記念撮影（正面右　高松氏）

装置開発室　Annual Report 2010

平成 23 年 2 月発行

編集・発行所　自然科学研究機構　分子科学研究所　装置開発室
444-8585　岡崎市明大寺町西郷中 38

ISSN 1880-0440